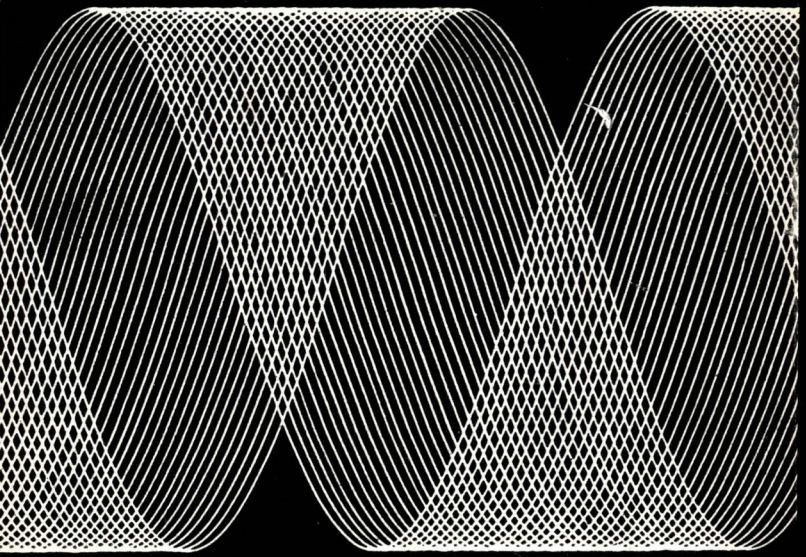
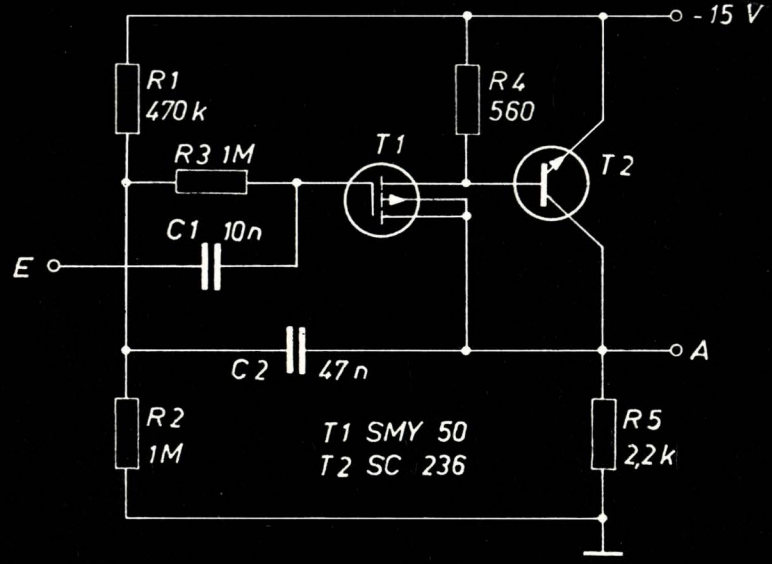
amateurreihe

electronica





Harro Kühne

Schaltbeispiele mit digitalen p-Kanal-MOS-Schaltkreisen

163

Leer

electronica · Band 163

HARRO KÜHNE

Schaltbeispiele mit digitalen p-Kanal-MOS-Schaltkreisen

MILITÄRVERLAG
DER DEUTSCHEN DEMOKRATISCHEN
REPUBLIK

© Militärverlag der Deutschen Demokratischen Republik (VEB) – Berlin, 1978

Inhaltsverzeichnis

Vorwort 5

1. Zusammenstellung der benutzten Formelzeichen, Abkürzungen, Näherungen und Hinweise zu den gezeigten Oszillogrammaufnahmen 6

1.1. Aufstellung der verwendeten Formelzeichen und Abkürzungen 6

1.2. Vereinbarte Näherungen 7

1.3. Hinweise zu den Oszillogrammaufnahmen 8

2. Aufbau und Wirkungsweise der in dieser Broschüre verwendeten MOS-Schaltkreise und MOSFET 9

2.1. Aufbau und Wirkungsweise der Grundgatter der digitalen p-Kanal-MOS-Schaltkreise 9

2.2. Die wichtigsten Kenn- und Grenzwerte der verwendeten MOS-Schaltkreise und MOSFET 16

2.3. Allgemeingültige Anwendungshinweise für p-Kanal-MOS-Schaltkreise und MOSFET 30

3. Stromversorgung von Schaltungen mit digitalen p-Kanal-MOS-Schaltkreisen 35

3.1. Einfache Stromversorgungsteile mit Z-Diodenstabilisierung 36

3.2. Geregelte Stromversorgungsteile 39

4. Realisierung der wichtigsten logischen Grundfunktionen mit p-Kanal-MOS-Schaltkreisen 42

4.1. Verwirklichung logischer Funktionen in NOR-Technik und mit dem Schaltkreis *U 105 D* 42

5. Triggerschaltungen

5.1. Triggerschaltungen mit dem Dual-MOSFET *SMY 51* 46

5.2. Triggerschaltungen mit den IS *U 102 D, U 106 D* und *U 107 D* 50

6. Bistabile Multivibratoren, Frequenzteiler und Zählschaltungen 53
6.1. Das getaktete und ungetaktete RS-Flip-Flop und das D-Flip-Flop 54
6.2. Frequenzteiler mit den IS *U 103 D, U 108 D* und *U 112 D* 58
6.3. Dekadische Zählschaltungen im *BCD*-Code mit den Schaltkreisen *U 103 D* und *U 108 D* 70

7. Monostabile Multivibratoren 74
7.1. Monostabile Multivibratoren mit MOS-Gattern .. 74
7.2. Monostabile Multivibratoren mit MOS-Gattern und zusätzlichen MOSFET und bipolaren Transistoren 79

8. Astabile Kippschaltungen 85
8.1. Impulsgeneratoren mit den Bauelementen *SMY 51* und *U 105 D* 85
8.2. Impulsgeneratoren mit Gattern der Schaltkreise *U 102 D, U 106 D* und *U 107 D* 91
8.3. Quarzstabilisierte Taktgeneratoren 97

9. NF- und Gleichspannungsverstärker mit MOSFET und MOS-Gattern 100
9.1. NF-Verstärker mit der IS *U 105 D* und den Transistoren *SMY 50* und *SMY 51* 101
9.2. Gleichspannungsimpedanzwandler mit dem Dual-MOSFET *SMY 51* 109
9.3. NF-Verstärker mit Gattern der MOS-Schaltkreise *U 102 D, U 106 D* und *U 107 D* 112

10. Literatur 115

Vorwort

Eine digital arbeitende Schaltung mit Bauelementen aus der Produktion der DDR kann man sowohl mit TTL-Schaltkreisen der Serie *D 10* als auch mit p-Kanal-MOS-Schaltkreisen der Serie *U 10* realisieren. Es ist erfreulich, daß dem Amateur seit einiger Zeit diese p-Kanal-MOS-Schaltkreise und die zu dieser Serie gehörenden Ergänzungstransistoren in ausreichender Menge und auch preisgünstig zur Verfügung stehen. Diese Broschüre soll deshalb dem Amateur mit der MOS-Schaltkreisreihe so weit bekannt machen, daß er diese Bauelemente für eigene Arbeiten nutzen kann. Dabei werden zunächst in gedrängter Form der grundsätzliche Aufbau und die Wirkungsweise der MOS-Grundgatter, -Flip-Flop und -Ergänzungstransistoren dargestellt. Es folgt eine Zusammenstellung von allgemeingültigen Anwendungsempfehlungen, die man bei den praktischen Arbeiten mit MOS-Bausteinen unbedingt beachten sollte. Der Hauptteil der Broschüre ist den Applikationsbeispielen vorbehalten. Insbesondere werden Trigger, monostabile und astabile Multivibratoren, Frequenzteiler, dekadische Zähler sowie NF- und Gleichspannungsverstärker näher beschrieben. Die Broschüre behandelt also zum größten Teil Grundschaltungen, die ihrerseits Bestandteile komplexerer Schaltungen sein können.

Alle angegebenen Schaltbeispiele wurden vom Autor praktisch erprobt, so daß eine hohe Nachbausicherheit gegeben ist. Die zahlreichen Oszillogramme erleichtern die eigene Kontrolle beim Nachbau. Sie verdeutlichen die Funktionsweise der betreffenden Baugruppe und sind eine Hilfe, wenn die Arbeitsweise zu überprüfen ist.

Naumburg (Saale) im Juni 1977 *Ing. Harro Kühne*

1. Zusammenstellung der benutzten Formelzeichen, Abkürzungen, Näherungen und Hinweise zu den gezeigten Oszillogrammaufnahmen

1.1. Aufstellung der verwendeten Formelzeichen und Abkürzungen

Die folgende Aufstellung nennt die wesentlichsten Formelzeichen und Abkürzungen, die in dieser Broschüre verwendet wurden. Spezielle, nur wenig benutzte Zeichen sind im Text näher erläutert.

A	Ausgang
C	Kapazität
D	Diode
E	Eingang
f	Frequenz
FF	Flip-Flop
G	Gatter
H	hoher logischer Spannungspegel
I	Strom
I_C	Kollektorstrom
I_D	Drainstrom
I_e	Eingangsreststrom eines Gattereinganges
I_G	Gatereststrom
I_1	Stromaufnahme einer IS aus einer Spannungsquelle U_1
I_2	Stromaufnahme einer IS aus einer Spannungsquelle U_2
L	niedriger logischer Spannungspegel
P	Potentiometer, Leistung
Q, $\overline{Q}$	Ausgänge eines Flip-Flop
R	Widerstand, Rücksetzeingang eines Flip-Flop
RE	Rastereinheit bei Oszillogrammaufnahmen
S	Stelleingang eines Flip-Flop, Steilheit
T	Transistor, Periodendauer, Takteingang
t	Zeit

U	Spannung
U_{aus}	Ausschaltspannung eines Triggers
U_{BE}	Basis-Emitter-Spannung eines Transistors
U_{DS}	Drain-Source-Spannung eines MOSFET
U_e	Eingangsspannung eines Gattereingangs
U_{GS}	Gate-Source-Spannung eines MOSFET
U_F	Diodenflußspannung
U_{ein}	Einschaltspannung eines Triggers
U_{hys}	Hysteresespannung eines Triggers
U_{IH}	Gattereingangsspannung bei logisch 0 am Eingang
U_{iL}	Gattereingangsspannung bei logisch 1 am Eingang
U_{OH}	Gatterausgangsspannung bei logisch 0 am Ausgang
U_{OL}	Gatterausgangsspannung bei logisch 1 am Ausgang
U_{SB}	Source-Bulk-Spannung eines MOSFET
U_T	Schwellspannung eines MOSFET
U_U	Gatterumschaltspannung
U_1	Speisespannung von MOS-Bausteinen $-U_1 = 27$ V
U_2	Speisespannung von MOS-Bausteinen $-U_2 = 13$ V
v	Spannungsverstärkung

1.2. Vereinbarte Näherungen

Zur Berechnung bestimmter Kennwerte der beschriebenen Schaltungen sind die nachstehend zusammengestellten Näherungen sehr nützlich. Diese vereinbarten Näherungen vereinfachen die dargestellten Probleme wesentlich, wobei die dadurch bedingten Fehler nahezu immer unter 15 % liegen.

$U_{BE} \approx 0{,}6$ V Silizium-Transistor

$U_{BE} \approx 0{,}3$ V Germanium-Transistor

$-U_{OL} \approx 13$ V

$-U_{OH} \approx 0{,}5$ V

– $U_T \approx 5\,V$
– $U_U \approx 5\,V$
$U_{BE} \approx U_F$, wenn gleiches Halbleitermaterial vorliegt

1.3. Hinweise zu den Oszillogrammaufnahmen

Von einigen der in dieser Broschüre beschriebenen digitalen Schaltungen sind Oszillogrammaufnahmen gezeigt, die den Spannungsverlauf an wesentlichen Schaltungspunkten darstellen. Der Maßstab in y-Richtung beträgt bei diesen Aufnahmen immer 10 V/RE, wenn nicht ausdrücklich ein anderer Maßstab angegeben wird. Bezugspotential für die dargestellten Oszillogramme ist das Massepotential. Für die Übertragungskennlinien in Bild 2.8, Bild 2.9 und Bild 2.11 bis Bild 2.13 gelten die Maßstäbe: 1 V/RE in der x-Richtung und 5 V/RE in der y-Richtung.

2. Aufbau und Wirkungsweise der in dieser Broschüre verwendeten MOS-Schaltkreise und MOSFET

Für die sinnvolle Anwendung integrierter MOS-Schaltkreise ist neben der Kenntnis der Kenn- und Betriebswerte ein bestimmtes Grundwissen über den inneren Aufbau dieser Logikfamilie erforderlich. Der nachstehende Abschnitt soll in gedrängter Form zumindest den Aufbau von Grundgattern der MOS-Schaltkreisserie des Kombinats *VEB Funkwerk Erfurt* vermitteln. Dieser Darstellung schließt sich eine Übersicht der wichtigsten Kenn- und Grenzwerte an, die bei dem Einsatz der Schaltkreise unbedingt beachtet werden müssen. Den Abschluß bilden allgemeingültige Anwendungshinweise, die auch für komplexere Schaltkreise in p-Kanal-MOS-Technik gültig sind.

2.1. Aufbau und Wirkungsweise der Grundgatter der digitalen p-Kanal-MOS-Schaltkreise

Einzige elektrische Grundelemente der MOS-Schaltkreisserie *U 10* sind selbstsperrende p-Kanal-MOSFET. Die wesentlichsten Gründe, die zur Entwicklung und Fertigung von digitalen Schaltkreisen in MOS-Technik führten, sind:

- MOSFET erfordern bei ihrer Herstellung weniger Prozeßschritte als bipolare Transistoren.
- Die von jedem MOSFET benötigte minimale Fläche ist sehr klein (minimal 20 µm × 20 µm).
- Integrierte MOSFET sind selbstisolierend, so daß Prozeßschritte, die zur Isolation der einzelnen Bauelemente der integrierten Schaltung führen, nicht erforderlich werden.
- Selbstsperrende MOSFET haben gleiche Spannungspolaritäten an den Elektroden Gate und Drain. Bei integrierten Anordnungen ist das besonders deshalb vorteilhaft, weil dadurch eine einfache direkte Kopplung von Ausgängen mit Eingängen möglich wird.

- MOSFET weisen im ausgeschalteten Zustand nur sehr geringe Leckströme auf und haben einen extrem hohen Eingangswiderstand, so daß sehr leistungsarme Schaltungen möglich sind.
- MOS-Schaltungen können leistungsärmer als funktionell vergleichbare bipolare Schaltungen sein. Dieser Vorteil wirkt sich besonders bei Schaltkreisen mit hohem Integrationsgrad aus.

Die in der Schaltkreisserie *U 10* verwendeten MOSFET kennzeichnet ein sehr hoher Eingangswiderstand, der typisch größer als $10^{12}\,\Omega$ ist. Die sehr dünne Gateoxidschicht kann deshalb durch elektrostatische Aufladungen sehr leicht zerstört werden. Alle Eingänge der MOS-Schaltkreise sind aus diesem Grund mit Schutzdioden versehen, die Überspannungen von der Gateelektrode ableiten sollen. Auf diese Problematik geht Abschnitt 2.3. ausführlich ein. Bei p-Kanal-MOSFET des Anreicherungstyps ist eine bestimmte negative Gate-Source-Spannung erforderlich, damit der Transistor vom gesperrten in den leitenden Zustand umschaltet. Diese Schwellspannung U_T liegt bei den MOSFET der Schaltkreisserie *U 10* bei $-U_T = 6$ V. Aus der relativ großen Schwellspannung resultiert die hohe Versorgungsspannung von $-U_I = 27$ V. Bedingt durch die hohe Versorgungsspannung sind die Ausgangspegel der Schaltkreise groß. Für die bei der MOS-Schaltkreisserie *U 10* benutzte negative Logik gelten bei einem Lastwiderstand von 100 kΩ folgende Pegelwerte: Ausgangsspannung bei H-Pegel $-U_{OH} = 1$ V und Ausgangsspannung bei L-Pegel $-U_{OL} = 10$ V. Für den statischen Störabstand wird 1 V vom Hersteller garantiert. Der typische Wert für den Störabstand beträgt allerdings etwa 2,5 V.

Die Ausgangswiderstände der MOS-Schaltkreise liegen in der Größenordnung von 1 kΩ ... 5 kΩ. Da die Eingangswiderstände der MOS-Schaltkreise zwischen $10^{10}\,\Omega$ und $10^{12}\,\Omega$ erreichen, haben die hohen Ausgangswiderstände keinen negativen Einfluß auf das statische Verhalten. Es ist deshalb möglich, von einem Ausgang viele Eingänge statisch anzusteuern. Eine Begrenzung der maximal an

einen Ausgang anzuschließenden Eingänge, wie das von den TTL-Schaltkreisen bekannt ist, gibt es zumindest für den statischen Betriebsfall nicht. Allerdings muß man den recht hohen Ausgangswiderstand dann beachten, wenn die Schaltkreise dynamisch betrieben werden. Bei einem Ausgangswiderstand von $R_a = 5\,k\Omega$ und einer Lastkapazität von $C_L = 50\,pF$ beträgt die Zeitkonstante $R_a \cdot C_L$ immerhin 250 ns. Die Schaltzeiten integrierter p-Kanal-MOS-Schaltkreise der Serie *U 10* liegen deshalb in der Größenordnung von 100 ns bis 1 µs. Die maximal an einem Ausgang anschließbaren Eingänge werden von dem geforderten dynamischen Verhalten bestimmt.

Am Schaltbeispiel eines Inverters soll der grundsätzliche Aufbau möglicher Ausgangsstufen beschrieben werden. Welche Ausgangsstufenvariante bei einem bestimmten Schaltkreis vorliegt, ist meist unbekannt. Fast alle Hersteller von MOS-Schaltkreisen machen über die Innenschaltungen ihrer Produkte keine derart detaillierten Angaben, wie man das beispielsweise von TTL-Schaltkreisen kennt.

Grundsätzlich läßt sich ein Inverter mit einem MOSFET entsprechend Bild 2.1 realisieren. Solange die an E liegende negative Spannung kleiner ist als die Schwellspannung von T1, sperrt dieser. Durch R1 fließt dann im unbelasteten Zustand kein Strom, und die Spannung am Drain ist gleich der negativen Speisespannung $-U_2 = 13\,V$. Steigt die Spannung am Gate dagegen so weit in negativer Richtung, daß

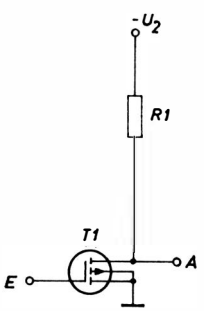


Bild 2.1
MOSFET als Inverter mit ohmschem Lastwiderstand

schließlich die Schwellspannung von T1 erreicht wird, so leitet der MOSFET T1. Am Ausgang A bewegt sich die Spannung von vorher L-Pegel in Richtung H-Potential. Welche Spannung sich dabei am Drain von T1 einstellt, ist abhängig vom Wert des Drainwiderstands R1 und dem Kanalwiderstand des Transistors T1 im leitenden Zustand. Integrierte MOSFET sind aber, besonders wenn deren Abmessungen minimiert wurden, relativ hochohmig. Um einen ausreichenden Spannungssprung am Drain zu sichern, müßte R1 wenigstens 10mal größer sein als der Kanalwiderstand des leitenden Transistors T1. Hochohmige Drainwiderstände beanspruchen in Diffusionstechnik viel Platz, so daß man die Schaltung entsprechend Bild 2.1 bei integrierten Schaltkreisen nicht benutzt. Vielmehr wird es möglich und auch allgemein geübte Praxis, anstelle eines Drainwiderstands ebenfalls einen MOSFET zu verwenden. Dieser ist von Natur aus hochohmig, hat sehr geringe Abmessungen, und sein Widerstand läßt sich aus der Geometrie, den technologischen Daten und den anliegenden Spannungen sehr genau vorhersagen. Das Bild 2.2 zeigt eine der möglichen Schaltungen für einen MOS-Inverter, der nur noch aus aktiven Bauelementen besteht. Man unterscheidet bei diesem Inverter zwischen dem Treibertransistor T1 und dem Lasttransistor T2, dessen Gate und Drain miteinander verbunden sind. Die Strom-Spannungskennlinie von T2 verläuft wegen der erzwungenen Bedingung $-U_{GS} = -U_{DS}$ nicht-

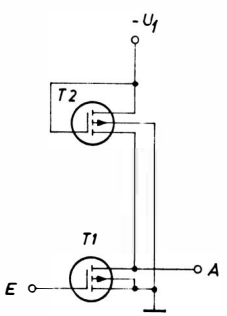


Bild 2.2
Inverter mit MOSFET als Drainwiderstand

linear in der Weise, daß mit größer werdender Spannung zwischen den Elektroden Drain und Source von T2 der Strom durch diesen Transistor progressiv zunimmt. Die Lastkennlinie des Treibertransistors T1 hat deshalb einen gekrümmten Verlauf. Die Geometrie der Transistoren T1 und T2 ist dabei so gewählt, daß ein ausreichendes Widerstandsverhältnis von z. B. 1 : 10 gesichert ist. Außer der gekrümmten Lastkennlinie ergibt sich mit einem MOSFET als Drainwiderstand für T1 noch ein weiterer Unterschied zum ohmschen Drainwiderstand. Sperrt nämlich der Treibertransistor T1, so fällt die Spannung an seinem Drain nur so weit in negativer Richtung, daß zwischen Drain und Source von T 2 noch die Schwellspannung dieses Transistors liegt. Die negative Spannung an A ist immer um den Betrag der Schwellspannung des Lasttransistors T1 geringer als die negative Speisespannung des Inverters, weil erst ein Strom durch T2 fließen kann, wenn die Spannung zwischen Drain und Source von T2 seine Schwellspannung überschritten hat.

Den Nachteil des verringerten Ausgangsspannungshubes bei Verwendung eines Lasttransistors in der Schaltung des Bildes 2.2 vermeidet der in Bild 2.3 dargestellte Inverter. Hier liegt das Gate des Lasttransistors T2 an einer zusätzlichen Spannung, die erheblich negativer ist als die Speisespannung des Inverters. Diese zusätzliche Spannung sorgt dafür, daß die Gate-Source-Spannung von T2 immer größer ist als seine Drain-Source-Spannung. Der Transistor T2

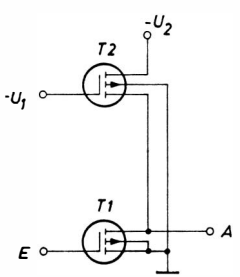


Bild 2.3
Inverter mit MOSFET als Drainwiderstand

arbeitet deshalb in allen möglichen Betriebszuständen des Treibertransistors T1 immer im Triodengebiet seiner Ausgangskennlinie. Die sich dabei ergebende Strom-Spannungskennlinie von T2 ist nur noch gering gekrümmt und weitgehend an den Betriebsfall mit ohmschem Lastwiderstand für T1 angenähert. Die Spannung an A kann, je nach Schaltzustand von T1, nahezu 0 oder den Wert der Speisespannung — U_2 erreichen. Nachteilig wirkt sich nur die zusätzliche Spannungsquelle, die meist allerdings wenig Strom liefern muß, aus.

In Bild 2.4 ist schließlich ein Inverter dargestellt, der häufig als Ausgangsstufe digitaler p-Kanal-MOS-Schaltkreise verwendet wird. Der besondere Vorteil dieser Schaltung besteht darin, daß ihre spezielle Auslegung einen maximalen Potentialunterschied zwischen den beiden logischen Zuständen H und L ermöglicht. Die zusätzlichen Kosten für 2 MOSFET mehr gegenüber dem in Bild 2.3 gezeigten Inverter spielen bei integrierten Schaltungen nur eine unwesentliche Rolle. Als eigentlicher Inverter arbeiten die Transistoren T3 (Treibertransistor) und T4 (Lasttransistor). Das Gate von T4 liegt aber nicht wie das Gate von T2 in Bild 2.3 an einer festen hohen negativen Spannung, sondern an dem Ausgang eines zusätzlichen Inverters mit den Transistoren T1 und T2. Leitet T3, so befindet sich auch T1 in diesem Zustand. Die Spannung am Gate von

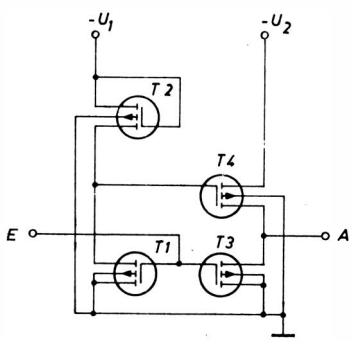


Bild 2.4
Inverter mit Gegentaktausgangsstufe

T4 ist positiver als die Schwellspannung dieses Transistors, so daß er sperrt. T3 braucht deshalb keinen Strom von T4 zu übernehmen, und der H-Pegel an A erreicht seinen maximal möglichen Wert. Sperren dagegen die Transistoren T1 und T3, so liegt dann am Gate des Lasttransistors T4 eine negative Spannung, die erheblich größer ist als die negative Speisespannung $-U_2 \cdot$ T4 arbeitet im Triodengebiet, und der Ausgang A befindet sich auf L-Potential. Wegen der abwechselnden Steuerung von T3 und T4 bezeichnet man die Schaltung (Bild 2.4) oft auch als Gegentaktausgangsstufe. Bedingt durch die Eigenschaften der benutzten integrierten MOSFET, insbesondere deren hohen Kanalwiderstände im Ein-Zustand, realisiert man logische Funktionen nahezu ausschließlich mit NOR-Gattern. Das Bild 2.5 zeigt die einfachste Möglichkeit zur Verwirklichung eines NOR-Gatters mit 2 Eingängen in MOS-Technik. Der Ausgang A der Schaltung führt immer dann nicht L-Potential, wenn sich der Eingang E_1 oder E_2 auf L-Pegel befindet. Besonders vorteilhaft ist bei der NOR-Verknüpfung, daß diese Gatterart mit nahezu beliebig vielen Eingängen verwirklicht werden kann. Diese Eigenschaft haben die NAND-Gatter in Bild 2.6 nicht. Die beiden Eingangstransistoren T2 und T3 liegen bei der NAND-Schaltung in Reihe mit dem Lasttransistor T1. Der Ausgang A befindet sich nicht auf L-Potential, wenn die Eingänge E_1 und E_2 L-Pegel führen. Leiten die beiden Transistoren T2

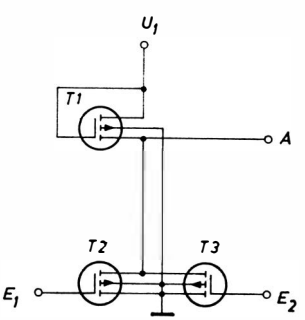


Bild 2.5
NOR-Gatter mit MOSFET

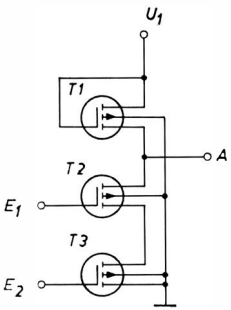


Bild 2.6
NAND-Gatter mit MOSFET

und T3, so liegen ihre Kanalwiderstände in Reihe. Damit der korrekte H-Pegel gesichert werden kann, darf die Summe der Kanalwiderstände einen bestimmten Grenzwert nicht überschreiten. Schaltet man viele MOSFET in Reihe, erfordert dies relativ große, d. h., niederohmige Transistoren. Wegen des dann sehr schnell ansteigenden Flächenbedarfs wird die Zahl der Eingänge bei NAND- und AND-Gattern meist auf maximal 3 begrenzt. Für die in dieser Broschüre behandelte Logikfamilie wendet man deshalb fast immer NOR-Gatter an. Mit diesem Gattertyp lassen sich alle anderen erforderlichen logischen Grundschaltungen bilden. In Abschnitt 4. sind dazu nähere Beispiele genannt.

2.2. Die wichtigsten Kenn- und Grenzwerte der verwendeten MOS-Schaltkreise und MOSFET

Die MOS-Bauelemente des *Kombinats VEB Funkwerk Erfurt* werden in 2reihigen Plastgehäusen geliefert, deren Anschlußzahl zwischen 4 und 28 liegen kann. Der Abstand der beiden parallelen Anschlußreihen beträgt 7,5 mm, 12,5 mm oder 15 mm. Die einzelnen Anschlüsse einer Reihe haben einen Abstand von 2,5 mm. Zur Beschreibung der elektrischen Eigenschaften einer Logikschaltung sind neben der logischen Funktion die Angaben über die elektrischen

Kenn- und Grenzwerte notwendig. Die Grenzwerte darf man auf keinen Fall überschreiten, weil dann mit irreversiblen Veränderungen oder mit einer Zerstörung des Bauelements zu rechnen ist. Die Kennwerte sind die elektrischen Werte, bei denen die integrierten Schaltkreise innerhalb des vom Hersteller garantierten Arbeitsbereichs betrieben werden. Es kann nicht Aufgabe dieser Broschüre sein, die Datenangaben des Herstellers zu ersetzen. In den nachstehenden Tabellen sind deshalb nur die wesentlichsten Kennwerte, aber alle Grenzwerte angegeben, die der Amateur benötigt, damit er seine Schaltkreise betreiben kann. In Zweifelsfällen sind immer entsprechende Herstellerunterlagen heranzuziehen, die auch in [1] und [2] veröffentlicht worden sind. Für die digitale p-Kanal-MOS-Schaltkreisserie *U 10* gelten die in der Tabelle 2.1 aufgeführten Grenzwerte, deren Überschreitung unzulässig ist. Die Tabelle 2.2 nennt die wesentlichsten Kennwerte, bei denen die Schaltkreise der Reihe *U 10* innerhalb des garantierten Arbeitsbereichs betrieben werden.

Nach diesen Angaben, die für alle MOS-Schaltkreise des *Kombinats VEB Funkwerk Erfurt* gültig sind, sollen nun die Bausteine vorgestellt werden, die in den Applikationsbeispielen benutzt wurden. Der Baustein *U 102 D* enthält 2 NOR-Gatter mit je 3 Eingängen. Das Bild 2.7 zeigt die

Tabelle 2.1 Die wichtigsten Grenzwerte der integrierten MOS-Schaltkreise

		min.	max.	Einheit
Speisespannung	$-U_1$	−0,3	31	V
Speisespannung	$-U_2$	−0,3	31	V
Eingangsspannung	$-U_e$	−0,3	25	V
Eingangs-spitzenspannung	$-U_{e\,max}$	−0,3	31	V
Umgebungs-temperatur	ϑ_U	0	70	°C
Lagerungstemperatur	ϑ_L	−55	125	°C

Tabelle 2.2 Die wichtigsten Kennwerte der integrierten MOS-Schaltkreise

		min.	typ.	max.	Einheit
Speisespannung	$-U_1$	26	27	29	V
Speisespannung	$-U_2$	11,5	13	13,5	V
Umgebungstemperatur	ϑ_U	0	25	70	°C
Ausgangsspannung	$-U_{OH}$			1	V
Eingangsreststrom	$-I_e$			10	μA
Ausgangsspannung	$-U_{OL}$	10			V

Anschlußbelegung. Jedes NOR-Gatter erfüllt die logische Gleichung:
$A = \overline{E_1 \vee E_2 \vee E_3}$. Die Tabelle 2.3 stellt die Wahrheitstabelle dar. Für manche Anwendungsbeispiele ist die Kenntnis der inneren Verstärkung der Gatter notwendig oder zumindest sehr nützlich. Der Hersteller macht dazu aus verständlichen Gründen keine Angaben, weil der Schaltkreis normalerweise nur mit den Spannungspegeln H und L am Eingang betrieben wird und der Übergang von einem Pegel auf den anderen außerdem mit genügender Geschwindigkeit erfolgt. Für die korrekte Arbeitsweise bestimmter digitaler Schaltungsgruppen, z. B. Trigger, benötigt man aber die Kenntnis der inneren Gatterverstärkung, um die Bauelemente, die für die positive Rückkopplung verantwortlich sind, im Hinblick auf eine besonders kleine Triggerhysterese optimal zu dimensionieren. Von allen Grund-

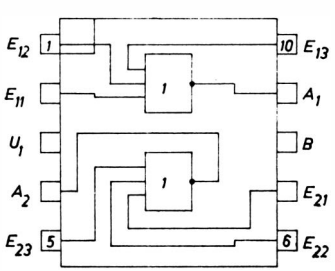


Bild 2.7
Anschlußbelegung des Bausteins *U 102 D*

Tabelle 2.3
Funktionstabelle des Bausteins U 102 D

E_1	E_2	E_3	A
H	H	H	L
L	H	H	H
H	L	H	H
L	L	H	H
H	H	L	H
L	H	L	H
H	L	L	H
L	L	L	H

gatterschaltungen wurden deshalb die Übertragungskennlinien oszillografisch aufgenommen. Die in dieser Broschüre gezeigten Übertragungskennlinien sind natürlich nicht repräsentativ. Der Autor konnte allerdings eine recht gute Übereinstimmung der Übertragungskennlinien auch bei unterschiedlichen Produktionschargen feststellen. Bild 2.8 und Bild 2.9 zeigen die typischen Übertragungskennlinien der NOR-Gatter des IS *U 102 D*. Die Kennlinie des Bildes 2.8 ergibt sich, wenn nur ein Eingang am Signal liegt. Die beiden restlichen Eingänge befinden sich ständig auf H-Pegel. Aus der Kennlinie in Bild 2.8 ist eine Spannungsverstärkung von $v = 7$ zu entnehmen. Die Verstär-

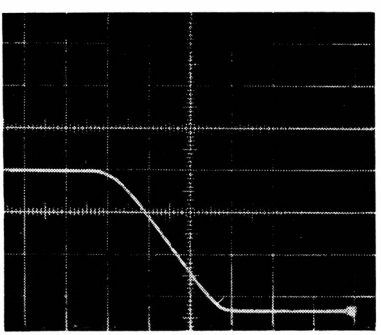


Bild 2.8
Übertragungskennlinie eines Gatters des Bausteins *U 102 D* (Signal liegt an einem Eingang)

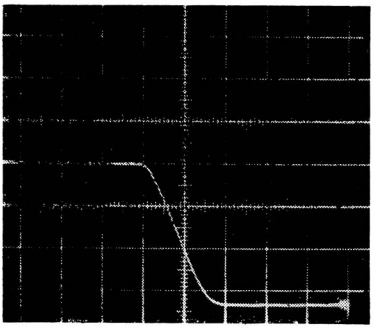


Bild 2.9
Übertragungskennlinie eines Gatters des Bausteins *U 102 D* (Signal liegt an allen drei Eingängen)

kung steigt auf $v = 10$, wenn alle 3 Eingänge sich gleichzeitig am Signal befinden. Die 3 Eingangs-MOSFET sind dann parallelgeschaltet und liefern jeder einen Beitrag zur Gesamtverstärkung.

Die integrierte Schaltung *U 106 D*, deren Anschlußbelegung das Bild 2.10 zeigt, enthält 4 NOR-Gatter mit je 2 Eingängen. Mit jedem Gatter ist die logische Funktion $A = \overline{E_1 \vee E_2}$ realisierbar. Die Ausgänge der NOR-Gatter schalten entsprechend der Tabelle 2.4. Die innere Verstärkung beträgt entsprechend der Übertragungskennlinie in Bild 2.11 $v = 8$,

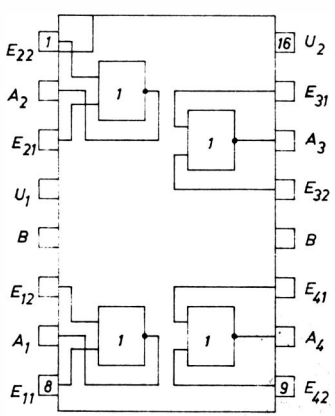


Bild 2.10
Anschlußbelegung des Bausteins *U 106 D*

Tabelle 2.4
Funktionstabelle des Bausteins U 106 D

E_1	E_2	A
H	H	L
L	H	H
H	L	H
L	L	H

wenn beide Gattereingänge eines NOR-Gatters an dem Signal liegen.

Mit der integrierten Schaltung *U 107 D* steht ein Baustein zur Verfügung, der 3 AND- und 1 AND/NAND-Gatter enthält. Die AND-Gatter erfüllen die logische Gleichung $A = \overline{E_1 \cdot E_2}$, während das NAND-Gatter die Funktion $A = \overline{E_1} \cdot \overline{E_2}$ verwirklicht. Es gilt die Tabelle 2.5. Bild 2.12 und Bild 2.13 zeigen die Übertragungskennlinien der AND- und NAND-Schaltung. Aus diesen Bildern ergeben sich $v = 20$ für die AND- und $v = 6$ für die NAND-Schaltung des Gatters G4. Bild 2.14 zeigt schließlich die Anschlußbelegung des Bausteins *U 107 D*.

Der Baustein *U 103 D* ist ein getaktetes RST-Flip-Flop mit direkten Setz- und Rücksetzeingängen. Die Eingänge R und S ermöglichen das direkte Setzen und Rücksetzen des Flip-Flop bei beliebigem Taktzustand, dabei sind die getakteten

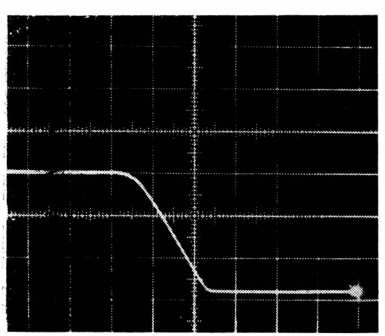


Bild 2.11
Übertragungskennlinie eines Gatters des Bausteins *U 106 D* (Signal liegt an beiden Eingängen)

Tabelle 2.5
Funktionstabelle des Bausteins U 107 D

E_1	E_2	A	$\bar{A}_4$
H	H	H	L
L	H	H	L
H	L	H	L
L	L	L	H

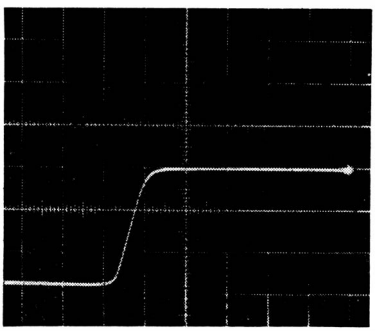


Bild 2.12
Übertragungskennlinie eines AND-Gatters des Bausteins *U 107 D* (Signal liegt an einem Eingang)

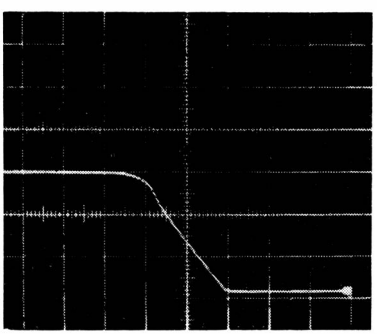


Bild 2.13
Übertragungskennlinie des NAND-Gatters des Bausteins *U 107 D* (Signal liegt an einem Eingang)

Eingänge $\overline{R}$, $\overline{S}$ und T während des Setzens bzw. Rücksetzens abgeschaltet. Die getakteten $\overline{R}$ und $\overline{S}$ bewirken nach einer an C anliegenden H-L-Flanke die in der Ta-

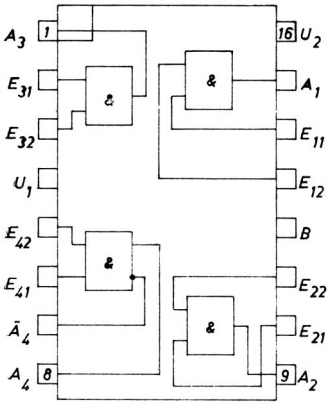


Bild 2.14
Anschlußbelegung des Bausteins *U 107 D*

belle 2.6 dargestellten Zustände des Flip-Flop. Die Anschlußbelegung des $\overline{\text{RST}}$-Flip-Flop ist in Bild 2.15 gezeigt. Die integrierte Schaltung *U 108 D* enthält 2 universelle J-K-Flip-Flop mit je 2 J- und K-Eingängen, die jeweils OR-verknüpft sind. Der Schaltkreis befindet sich in einem 22poligen Gehäuse, dessen Anschlußbelegung das Bild 2.16 zeigt. Die beiden Flip-Flop dieses Schaltkreises arbeiten nach dem Master-Slave-Prinzip. Nach der H-L-Flanke des

Tabelle 2.6
Funktionstabelle des Bausteins U 103 D

$\bar{R}$	$\bar{S}$	Q^n	Q^{n+1}
H	H	H	verb. Zustand
L	H	H	L
H	L	H	H
L	L	H	H
H	H	L	verb. Zustand
L	H	L	L
H	L	L	H
L	L	L	L

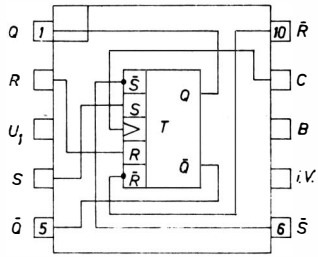


Bild 2.15
Anschlußbelegung des Bausteins *U 103 D*

an C liegenden Taktimpulses wird die Information in den Flip-Flop-Zwischenspeicher übernommen, wenn der entsprechende Vorbereitungseingang J oder K auf L-Pegel liegt. Mit der nächsten L-H-Flanke am Takteingang erfolgt die Informationsübernahme in das Ausgangs-Flip-Flop. Im übrigen ist das Flip-Flop mit L-Potentialen an den Eingängen R und S von außen voreinstellbar. Tabelle 2.7

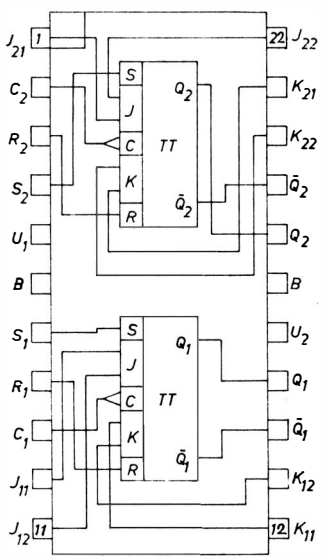


Bild 2.16
Anschlußbelegung des Bausteins *U 108 D*

Tabelle 2.7
Funktionstabelle des Bausteins U 108 D (Eingänge J und K)

t_n		t_{n+1}
J	K	Q
H	H	Q_n
L	H	L
H	L	H
L	L	$\overline{Q_n}$

Tabelle 2.8
Funktionstabelle des Bausteins U 108 D (Eingänge R und S)

S	R	Q	$\overline{Q}$
H	H	keine Änderung	
L	H	L	H
H	L	H	L
L	L	undef. Verhalten	

und Tabelle 2.8 zeigen das logische Verhalten der Flip-Flop des Bausteins *U 108 D*.
Der *U 112 D* ist ein binärer Frequenzteiler mit sieben 2 : 1 Teilerstufen, die z. T. auch intern entsprechend der Anschlußbelegung in Bild 2.17 verdrahtet sind. Die IS *U 112 D* wurde ursprünglich für den Einsatz in elektronischen Tasten-Musikinstrumenten entwickelt. Die universellen Eigenschaften des *U 112 D* ermöglichen aber auch den vorteilhaften Einsatz als binärer Frequenzteiler und mit Rückführungen auch als Teiler für beliebige Teilerverhältnisse. Die Flip-Flop der IS *U 112 D* schalten mit je-

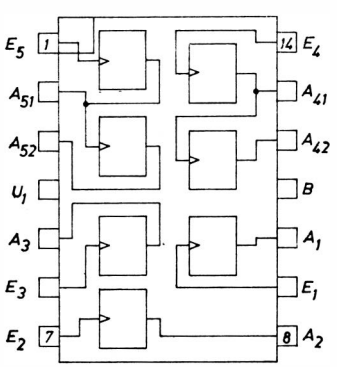


Bild 2.17
Anschlußbelegung des Bausteins *U 112 D*

der H-L-Flanke der am Takteingang liegenden Triggerimpulsfolge um.

Neben den integrierten Schaltkreisen mit vorgegebener logischer Struktur liefert das *Kombinat VEB Funkwerk Erfurt* noch Mehrfach-, Doppel- und Einfach-MOSFET, die die digitalen Bausteine sinnvoll ergänzen und weitere Anwendungsmöglichkeiten erschließen. Die elektrischen Kennwerte dieser MOSFET sind denen der Schaltkreisserie *U 10* angepaßt. Die MOSFET können, obwohl sie vom Hersteller primär nicht dafür vorgesehen sind, vielfach auch für analoge Anwendungen benutzt werden. Die integrierte Schaltung *U 105 D* enthält 6 p-Kanal-MOSFET mit einem gemeinsamen Substratanschluß. Die Stiftbelegung zeigt das Bild 2.18, während in der Tabelle 2.9 die wesentlichsten Daten genannt sind. Bei den Bauelementen *SMY 50* und *SMY 51* handelt es sich um Einzel- bzw. Doppeltransistoren, wobei die elektrischen Kenn- und Grenzwerte weitgehend identisch denen der in der IS *U 105 D* enthaltenen Transistoren sind. Bild 2.19 und Bild 2.20 zeigen die Anschlußbelegung der MOSFET *SMY 50* und *SMY 51*. Für diese und auch für die Transistoren der IS *U 105 D* gelten die Kennlinien in Bild 2.21 und Bild 2.22. Diese Kennlinien dienen nach den Angaben des Herstellers allerdings nur zur Information, weil die Ergänzungs-MOSFET eigentlich nur für

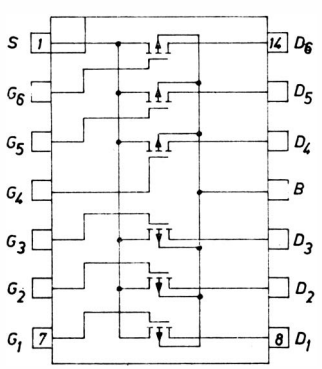


Bild 2.18
Anschlußbelegung des 6fach-MOSFET *U 105 D*

Tabelle 2.9 Kenn- und Grenzwerte der Bauelemente U 105 D, SMY 50, SMY 51, SMY 52 und U 105 D

Typ	Grenzdaten bei $\vartheta_U = 25$ °C					Informationsdaten bei $\vartheta_U = 25$ °C					
	P_{tot}	U_{OS} U_{OB}	U_{GS} U_{GB}	U_{OG}	U_{SB}	$-I_O$	$-I_O$	S bei	$-U_{OS}$	$-U_T$ bei	$-I_O$
	[mW]	[V]	[V]	[V]	[V]	[mA]	[mA]	[mS]	[V]	[V]	[μA]
SMY 50	225	−31/+0,3	−31/+0,3	±31	−15/+0,3	25	10	3,6	10	3 ... 6	10
SMY 51	240	−31/+0,3	−31/+0,3	±31	0	20	10	3,6	10	3 ... 6	10
SMY 52	300	−31/+0,3	−31/+0,3	±31	−15/+0,3	60	50	12,5	10	3 ... 6	10
U 105 D	400	−31/+0,3	−31/+0,3	±31	0	25	>3		2	3 ... 6	10

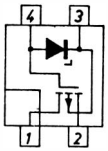


Bild 2.19
Anschlußbelegung der MOSFET *SMY 50* und *SMY 52*

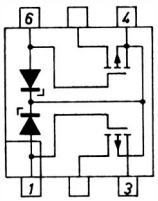


Bild 2.20
Anschlußbelegung des Dual-MOSFET *SMY 51*

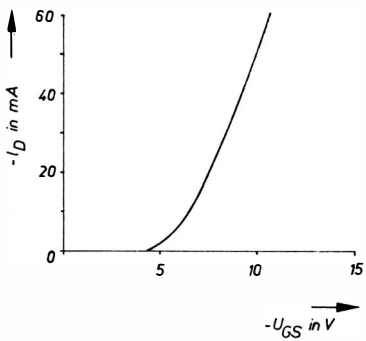


Bild 2.21
Eingangskennlinie der MOSFET *SMY 50*, *SMY 51* und *U 105 D*

digitale Anwendungen vorgesehen waren. Messungen des Autors ergaben aber eine recht gute Übereinstimmung der vom Hersteller veröffentlichten Kennlinien mit den Ergebnissen eigener Messungen. Für manche Anwendungen reicht der maximal mögliche Drainstrom der MOSFET *SMY 50, SMY 51* oder *U 105 D* nicht aus. Für solche Applikationen steht der etwas leistungsstärkere Typ *SMY 52* zur Verfügung. Er hat die gleiche Anschlußbelegung wie der

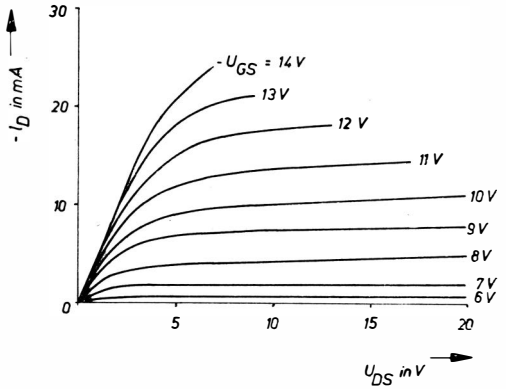


Bild 2.22 Ausgangskennlinien der MOSFET *SMY 50, SMY 51* und *U 105 D*

MOSFET *SMY 50*. Die Kenn- und Grenzwerte sind ebenfalls in der Tabelle 2.9 aufgeführt, während Bild 2.23 und Bild 2.24 die Kennlinien des *SMY 52* zeigen.

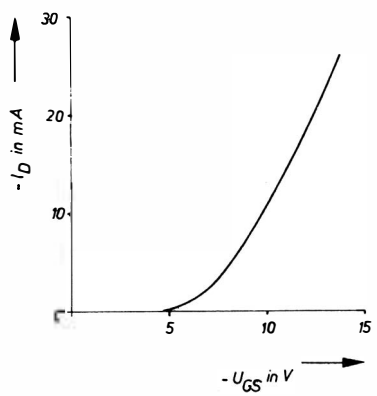


Bild 2.23
Eingangskennlinie des MOSFET *SMY 52*

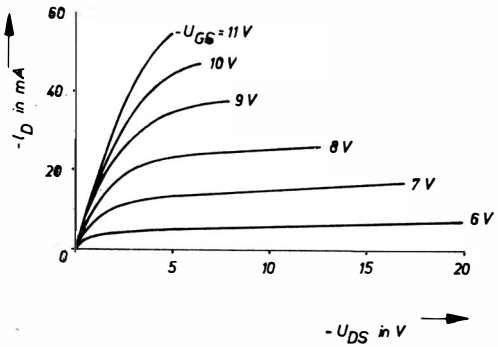


Bild 2.24 Ausgangskennlinien des MOSFET *SMY 52*

2.3. Allgemeingültige Anwendungshinweise für p-Kanal-MOS-Schaltkreise und MOSFET

Mit der MOS-Schaltkreisserie *U 10* stehen dem Amateur recht komplexe integrierte Bausteine zur Verfügung, die aber nur dann ihre vorgesehene Funktion zuverlässig erfüllen können, wenn man einige wesentliche Hinweise beachtet, die den Umgang und die Verwendung dieser Bauelemente betreffen. Ganz allgemein kann festgestellt werden, daß bei Versuchsschaltungen mit MOS-Bauelementen besondere Vorsicht geboten ist. Obwohl alle Eingänge der integrierten Schaltkreise der *U 10-Serie* und auch die Gateelektroden der oben angegebenen Ergänzungs-MOS-FET mit integrierten Schutzdioden versehen sind, können hohe elektrostatische Aufladungen die Bauelemente gefährden, wenn nicht besondere Schutzmaßnahmen eingehalten werden. Ursache für den nur begrenzten Schutz mit integrierten Dioden ist die Auslegung der Schutzschaltung. Bild 2.25 zeigt das Ersatzschaltbild. Die Schutzdiode kann, da sie relativ hochohmig ist, nur Überspannungen ableiten, wenn der Innenwiderstand der Überspannungsquelle ebenfalls hochohmig ist. Nimmt der Innen-

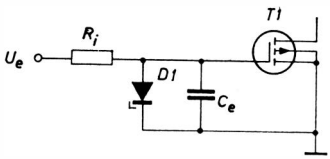


Bild 2.25
Ersatzschaltbild der Eingangsschutzschaltung von MOS-Bausteinen

widerstand dieser Spannungsquelle zu kleine Werte an, so ist der aus R_i und dem Durchlaßwiderstand der Diode D 1 gebildete Spannungsteiler nicht mehr in der Lage, die Überspannung abzuleiten und damit einen Gatedurchbruch zu verhindern. In diesem Zusammenhang sei gleich darauf hingewiesen, daß es unzulässig ist, die integrierte Schutzdiode für schaltungstechnische Zwecke, z. B. als Begrenzer, zu benutzen. Die eingeengte Wirksamkeit der internen Schutzschaltung erzwingt einige besondere Vorschriften, die bei dem Transport, der Lagerung und besonders bei der Verarbeitung der MOS-Schaltkreise beachtet werden müssen. Es ist leicht einzusehen, daß eine nicht korrekte Arbeitsweise Ursache einer fehlerhaften Entwicklung oder Verdrahtung, aber auch ein defektes Bauelement sein kann. Wenn irgend möglich, sollte man versuchen, die letztgenannte Ursache von vornherein auszuschließen, da Funktionsüberprüfungen von MOS-Schaltkreisen z. T. sehr aufwendig sein können.

MOS-Bauelemente werden vom Hersteller in einer metallisierten oder metallischen Verpackung geliefert, die dafür sorgt, daß alle Anschlüsse der MOS-IS auf gleichem Spannungspotential liegen. Aus dieser Verpackung sind die MOS-Bauelemente erst unmittelbar vor der Verarbeitung zu entnehmen. Steht dem Amateur keine Originalverpakkung zur Verfügung, so sollte er sich entsprechend Bild 2.26 ein Blechteil anfertigen, das mäanderförmig gebogen ist und die Bauelemente aufnehmen kann. MOS-Schaltkreise dürfen nicht auf Tischen mit Kunststoff-, Glas-, oder Holzauflage gelagert sowie einzeln oder in Mengen ausgeschüttet bzw. bearbeitet werden. Vielmehr sollten die Arbeitsplätze leitende, geerdete Auflageflächen haben. Bei dem

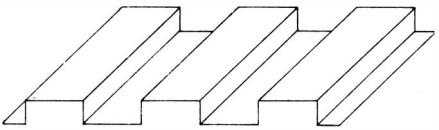


Bild 2.26 Blechteil zur Lagerung von MOS-Bauelementen

ständigen Umgang mit MOS-Bauelementen ist das Anlegen eines metallischen Armbandes (Uhrenarmband) zu empfehlen, das über einen Widerstand von 100 kΩ ... 200 kΩ mit Erde verbunden ist. Das Berühren der Bauelementeanschlüsse mit der Hand hat zu unterbleiben! Manchmal läßt sich das nicht umgehen. In solchen Fällen muß gewährleistet sein, daß die Bauelementeanschlüsse und die Personen, die die Schaltkreise verarbeiten, sich auf gleichem Potential befinden. Kleidungsstücke aus hochisolierenden Materialien (z. B. Dederonkittel), die sich deshalb sehr leicht auf sehr hohe Spannungen statisch aufladen können, sind unbedingt zu vermeiden. Bestückte Leiterplatten mit MOS-Bausteinen sollten bis zum endgültigen Einbau mit kurzgeschlossenen Anschlüssen (Steckverbinder oder Lötanschlüsse) aufbewahrt werden. Bei dem Ziehen von Leiterplatten muß man zuvor einen Potentialausgleich zwischen der Person und dem Gerät herstellen. Grundsätzlich dürfen MOS-Bauelemente und Leiterplatten nur im spannungsfreien Zustand gewechselt werden. Der Lötkolben, mit dem man die MOS-Schaltkreise einlötet, sollte einwandfrei geerdet sein. Das manchmal vorgeschlagene Trennen des Lötkolbens vom Netz ist nach den Erfahrungen des Autors nicht notwendig. Soweit einige Hinweise, die den Umgang mit MOS-Schaltkreisen betreffen. Weitere Angaben entnimmt man den Vorschriften des Herstellers [3] und [4].
Im Gegensatz zu den Logikschaltungen der TTL-Serie müssen unbenutzte Eingänge bei MOS-Schaltkreisen grundsätzlich definierte Logikpegel führen. Diese Vorschrift wird leicht verständlich, wenn man bedenkt, daß sich ein offener Eingang statisch auf einen beliebigen Pegel aufladen kann

und dadurch das logische Verhalten der Gesamtschaltung erheblich beeinflußt. An welches Potential ein unbenutzter Eingang angeschlossen werden muß, ist von der logischen Funktion des betreffenden Bausteins abhängig. So besteht bei den unbenutzten Eingängen von NOR-, NAND- und AND-Gattern die Möglichkeit, die nicht benutzten Eingänge mit einem benutzten Eingang zu verbinden, wenn dadurch die kapazitive Last für den treibenden Schaltkreis nicht einen vorgegebenen Grenzwert überschreitet. Kann der treibende Schaltkreis keine zusätzliche kapazitive Last mehr aufnehmen, so müssen unbenutzte Eingänge von NOR-Gattern mit dem H-Potential verbunden werden. Bei NAND- und AND-Gattern ist dafür zu sorgen, daß die nicht benötigten Eingänge L-Pegel führen. Zwei Möglichkeiten bieten sich zur Realisierung dieser Bedingung an: Einmal kann man die unbenutzten Eingänge mit der Betriebsspannung U_2 verbinden, zum anderen läßt sich der notwendige L-Pegel mit einem Spannungsteiler aus der Speisespannung $-U_1$ erzeugen. Der Teiler ist so zu dimensionieren, daß das L-Potential gerade mit Sicherheit erreicht wird. Für unbenutzte Eingänge von Flip-Flop, Schieberegistern, Zählern und anderen komplexeren Bausteinen sind keine allgemeingültigen Angaben darüber möglich, mit welchen logischen Pegeln die unbenutzten Eingänge solcher Bausteine verbunden werden müssen. Bei diesen Bausteinen ist grundsätzlich entsprechend der Funktion und den Vorschriften des Herstellers zu verfahren.

Wie schon bei den meisten TTL-Schaltkreisen ist auch bei der MOS-Schaltkreisserie eine ausgangsseitige Parallelschaltung z. B. von Gattern nicht erlaubt, wenn dies nicht ausdrücklich vom Hersteller für spezielle Typen zugelassen wurde. Ebenso darf man die maximal zulässige kapazitive Ausgangsbelastung nicht überschreiten, die in der Größenordnung von 60 pF bis 200 pF liegt. Dabei ist zu beachten, daß sich die Lastkapazität eines Ausgangs aus der Summe der Einzelkapazitäten der am Ausgang angeschlossenen Schaltkreiseingänge plus den Leitungskapazitäten zusammensetzt. Der Amateur sollte seine Schal-

tungen aus den genannten Gründen so auslegen, daß ein Ausgang maximal 10 Eingänge treibt.

Der mit dem Bulk verbundene Anschluß eines MOS-Schaltkreises muß sich stets auf dem positivsten Potential des Schaltkreises befinden. Kein anderer Anschluß des Bauelements darf auch nur kurzzeitig positiver als etwa 0,3 V gegenüber dem Bulk werden, weil sonst mit einer Zerstörung zu rechnen ist. Nicht belegte oder mit i. V. gekennzeichnete Anschlüsse müssen frei bleiben.

Um Störungen zu vermeiden, ist es zweckmäßig, die Betriebsspannungen der MOS-Schaltkreise mit mindestens je einem Elektrolytkondensator (10 µF ... 100 µF), dem ein oder je nach Größe der Leiterplatte auch mehrere Keramikkondensatoren (10 nF ... 22 nF) parallelgeschaltet sind, abzublocken. Allgemein sind Schaltungen mit MOS-Schaltkreisen gegenüber Störungen erheblich unempfindlicher als entsprechende Anordnungen, die mit TTL-Bausteinen aufgebaut wurden. Das gilt sowohl für interne Störmöglichkeiten (Stromimpulse beim Umschalten von Gattern) als auch für extern eingestreute Störimpulse. Ursache für die größere Störsicherheit sind einmal die relativ niedrigen Werte der zu schaltenden Ströme und zum anderen der erheblich größere Störabstand bei den MOS-Bauelementen. Trotzdem sollte man die Leitungen für die Versorgungsspannungen und die Masseleitungen mit großem Querschnitt versehen.

3. Stromversorgung von Schaltungen mit digitalen p-Kanal-MOS-Schaltkreisen

Das Stromversorgungsteil für Schaltungen mit MOS-Schaltkreisen muß im allgemeinen 2 gegen das Massepotential negative Speisespannungen bereitstellen, die einmal $-U_1 = 27\ ^{+1}_{-2}$ V und zum anderen $-U_2 = 13\ ^{+0,5}_{-1}$ V betragen. Damit die angegebenen Toleranzen der beiden Speisespannungen mit Sicherheit nicht überschritten werden, sind elektronisch stabilisierte Stromversorgungsteile zweckmäßig. Diese sorgen gleichzeitig für einen niedrigen Ausgangswiderstand der Stromversorgungseinrichtung, so daß die Möglichkeit interner Störungen über die Stromversorgung entsprechend gering ist. Für welchen Strombedarf die entsprechenden Stabilisierungsteile auszulegen sind, hängt von der zu versorgenden Schaltung und damit von deren Schaltkreisaufwand ab.

Die Tabelle 3.1 gibt einen Überblick des Strombedarfs der in dieser Broschüre verwendeten Schaltkreise. Man erkennt, daß die Versorgungsströme der Bausteine relativ niedrig sind, so daß insbesondere bei solchen Schaltungen, die nur wenige Schaltkreise enthalten, oft einfache Stabilisierungsteile mit Z-Diodenstabilisierung ausreichend

Tabelle 3.1 Strombedarf und Leistungsaufnahme einiger MOS-Schaltkreise

	$-I_1$ [mA]	$-I_2$ [mA]	P_1 [mW]	P_2 [mW]	P_{ges} [mW]
U 102 D	1		27		27
U 103 D	2		54		54
U 106 D	1,5	0,1	40,5	1,3	41,5
U 107 D	2	0,7	54	9,1	63,1
U 108 D	7	3	189	39	228
U 112 D	10		270		270

sind. Die Stromaufnahme von MOS-Schaltkreisen ist oft erheblich geringer als bei vergleichbaren TTL-Schaltkreisen. Die Leistungsaufnahme läßt sich hingegen durchaus mit der entsprechender TTL-Bausteine vergleichen. Dies muß beim Batteriebetrieb und bei der Auslegung des Gehäuses (Kühlbohrungen usw.) beachtet werden.

3.1. Einfache Stromversorgungsteile mit Z-Diodenstabilisierung

Wie schon kurz angesprochen, ist es wegen des geringen Strombedarfs der MOS-Schaltkreise oft möglich, Z-Dioden zur Stabilisierung der beiden Speisespannungen $-U_1$ und $-U_2$ zu benutzen. Im folgenden werden 2 mögliche Schaltungen näher vorgestellt. Das Stabilisierungsteil in Bild 3.1 benutzt 2 Leistungs-Z-Dioden, über denen die benötigten Speisespannungen abfallen. Die Z-Dioden D3 und D4 sind in Reihe geschaltet und werden von einem konstanten Strom durchflossen, den die Stromquelle mit dem Transistor T1 bereitstellt. Eine Stromquelle anstelle des sonst üblichen Vorwiderstands hat den Vorteil, daß die Eingangsspannung

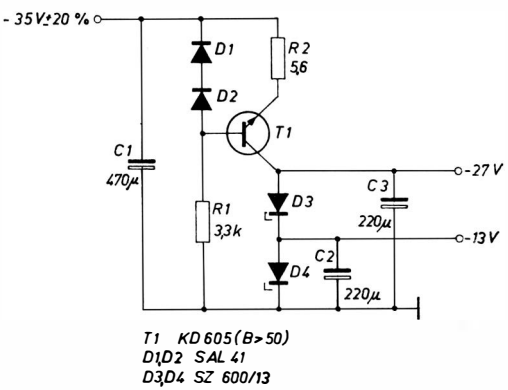


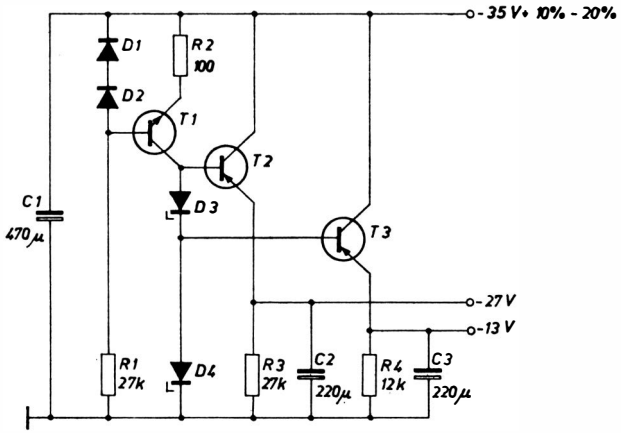
Bild 3.1 Stabilisierungsteil mit Leistungs-Z-Dioden

für das Stabilisierungsteil erheblich niedriger sein darf. Weiterhin verringert sich die im Stabilisierungsteil umgesetzte Verlustleistung beträchtlich, und schließlich ergibt sich mit einer Stromquelle ein höherer Stabilisierungfaktor. Die Basisspannung von T1 gegenüber dem negativen Pol der unstabilisierten Eingangsgleichspannung ist gleich dem Spannungsabfall von etwa 1,4 V, der über den beiden in Flußrichtung betriebenen Dioden D1 und D2 entsteht. Verantwortlich für den auch bei Netzspannungsschwankungen weitgehend konstanten Strom I_{CT1} im Kollektor des Transistors T1 ist der Wert des Widerstands R2. Es gilt die Beziehung:

$$I_{CT1} = \frac{U_{FD1} + U_{FD2} - U_{BET1}}{R2} \qquad (1)$$

Bei der Dimensionierung der Schaltung in Bild 3.1 betrug $I_{CT1} = 0{,}125$ A. Dieser Strom fließt vollständig durch die beiden Z-Dioden, wenn die Last vom Stabilisierungsteil abgetrennt ist. Die Dioden D4 und D3 müssen dabei eine Verlustleistung von jeweils etwa 1,6 W aufnehmen können. Das ist nur möglich, wenn jede Z-Diode auf einem Aluminiumkühlblech von 2 mm Stärke und einer Fläche von 40 cm^2 montiert wird. Die maximale Verlustleistung des Transistors T1 beträgt bei dem oberen Grenzwert der Eingangsspannung von 42 V etwa 2 W. Für diesen Transistor ist deshalb ebenfalls ein Kühlblech aus 2 mm starken Aluminium vorzusehen, dessen Fläche etwa 40 cm^2 nicht unterschreiten sollte. Dem Stabilisierungsteil in Bild 3.1 dürfen Lastströme von maximal $-I_1 = 25$ mA und $-I_2 = 80$ mA entnommen werden, damit noch eine hinreichende Stabilität der Ausgangsspannung gesichert ist. Die genauen Werte der beiden Ausgangsspannungen sind abhängig von den exemplarbedingten Streuungen der Z-Spannungen der Dioden D3 und D4. Gegebenenfalls müßte man diese entsprechend aussuchen.

Bedingt durch die Leistungs-Z-Dioden, ist die Verlustleistung des Stabilisierungsteils in Bild 3.1 relativ groß. Bei dem Stabilisierungsteil in Bild 3.2 konnte die Verlustleistung



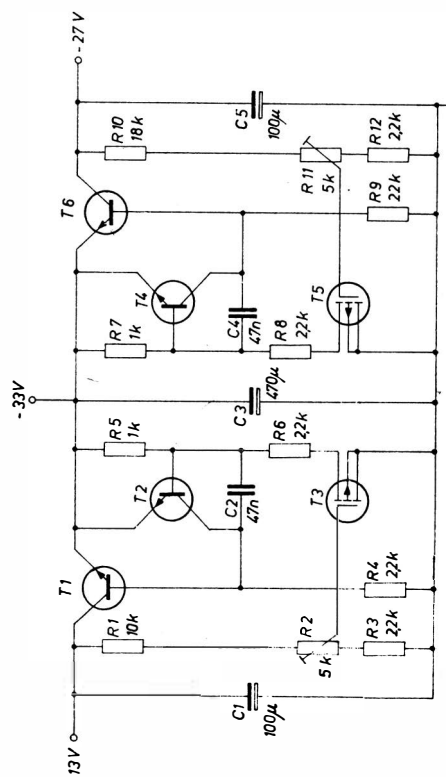
T1	SF 122
T2,T3	GD 175
D1,D2	SAL 41
D3,D4	SZX 21/13

Bild 3.2 Stabilisierungsteil mit Kleinleistungs-Z-Dioden und zusätzlichen Leistungstransistoren

gesenkt werden, weil die beiden stabilisierten Spannungen von Kleinleistungs-Z-Dioden erzeugt werden. Ähnlich wie in Bild 3.1 versorgt die Stromquelle mit dem Transistor T1 die Z-Diodenreihenschaltung D3 und D4 in Bild 3.2 mit einem konstanten Strom von etwa 8 mA. Die an den Anoden von D3 und D4 liegenden Spannungen sind die Basisspannungen für die beiden pnp-Transistoren T2 und T3, an deren Emittoren die stabilisierten Ausgangsspannungen anliegen. Die Leistungsaufnahme dieses Stabilisierungsteils beträgt im unbelasteten Zustand nur etwa 0,3 W, wenn die Nenneingangsspannung anliegt. Die Z-Dioden D3 und D4 müssen so ausgesucht werden, daß die Ausgangsspannungen innerhalb der geforderten Toleranzen liegen. Das Stabilisierungsteil in Bild 3.2 kann maximal die Lastströme $-I_1 = -I_2 = 0{,}1$ A bereitstellen, wenn die Leistungstransistoren T2 und T3 auf einer Kühlfläche von je 80 cm² (2 mm starkes Aluminium) befestigt sind.

3.2. Geregelte Stromversorgungsteile

Die Ausgangsspannungen der Stabilisierungsteile in Bild 3.1 und Bild 3.2 sind direkt von den verwendeten Z-Dioden abhängig. Der Vorteil des relativ geringen Bauelementeaufwandes erzwingt deshalb manchmal den Nachteil einer Selektion der Z-Dioden, damit die Ausgangsspannungen innerhalb der geforderten Toleranzen liegen. Das Stabili-



T2,T6 SF 126
T3,T5 SMY 51
T4 SC 206
T1 KU 602

Bild 3.3 Geregeltes Stabilisierungsteil für mittlere Leistung

sierungsteil in Bild 3.3 ermöglicht dagegen den Abgleich der beiden Spannungen $-U_1$ und $-U_2$. Kennzeichen der in Bild 3.3 gezeigten Schaltung ist, daß die Vergleichsspannung für die Regelschaltung nicht mit Z-Dioden erzeugt werden mußte. Die Arbeitsweise der Regelschaltungen sei am Beispiel des Stabilisierungsteils für die Spannung $-U_1$ näher beschrieben. Nach dem Anlegen der Eingangsspannung ist die Spannung über dem Kondensator C5 zunächst so gering, daß der MOSFET T5 sperrt. Dadurch fließt aber auch kein Strom in die Basis von T4, und dieser leitet ebenfalls nicht. Der als Stellglied benutzte Transistor T6 erhält über R9 den maximal möglichen Basisstrom und leitet. Die Spannung am Kollektor von T6 steigt deshalb in negativer Richtung an. Dieser Spannungsanstieg setzt sich so lange fort, bis die Spannung am Gate von T5 so weit negativ ist, daß dieser Transistor zu leiten beginnt. Dadurch erhält aber der Transistor T4 Basisstrom. Der jetzt einsetzende Kollektorstrom von T4 vermindert den Basisstrom des Stelltransistors schließlich so weit, bis sich ein stabiler Gleichgewichtszustand einstellt. Die Ausgangsspannung am Kollektor von T6 ist abhängig von der Gateschwellspannung des MOSFET T5 und dem Spannungsteilerverhältnis des Gatespannungsteilers. Für $-U_1$ und $-U_2$ gelten die Gleichungen:

$$-U_1 = -U_{TT5} \cdot \frac{R10 + R12 + R11}{R11u + R12} \tag{2}$$

$$-U_2 = -U_{TT3} \cdot \frac{R1 + R2 + R3}{R2u + R3} \tag{3}$$

In den Gleichungen (2) und (3) stehen R11u und R2u jeweils für die unteren Teilwiderstände der Einstellregler R11 und R2. Das Stabilisierungsteil in Bild 3.3 kann die Lastströme $-I_1 = 0{,}1$ A und $-I_2 = 0{,}2$ A bereitstellen. Voraussetzung dafür ist ein Kühlstern für T6 und ein Kühlblech für T1 (Aluminium mit einer Fläche von 100 cm² und einer Stärke von 2 mm).

Umfangreiche Baugruppen oder Geräte, z. B. Zähler und

andere digital arbeitende Meßgeräte, erfordern eine entsprechend leistungsstarke Stabilisierungsschaltung. Für solche Zwecke eignet sich die in Bild 3.4 gezeigte Schaltung, deren Arbeitsweise weitgehend der des Bildes 3.3 entspricht. Beide Schaltungen unterscheiden sich nur dadurch, daß den Stelltransistoren in Bild 3.4 ein zusätzlicher Transistor vorgeschaltet ist. Weiterhin wurde die Vergleichsspannung der Regelschaltung in Bild 3.4 mit Z-Dioden erzeugt. Je nach der Dimensionierung kann die Stabilisierungsschaltung für die Ausgangsspannungen $-U_1 = 27$ V oder $-U_2 = 13$ V ausgelegt werden. Die entsprechenden Änderungen sind im Schaltbild vermerkt. Die maximalen Lastströme dürfen in beiden Fällen 1 A nicht überschreiten, wenn die Leistungstransistoren T3 auf einer Kühlfläche von nicht weniger als 200 cm² montiert sind.

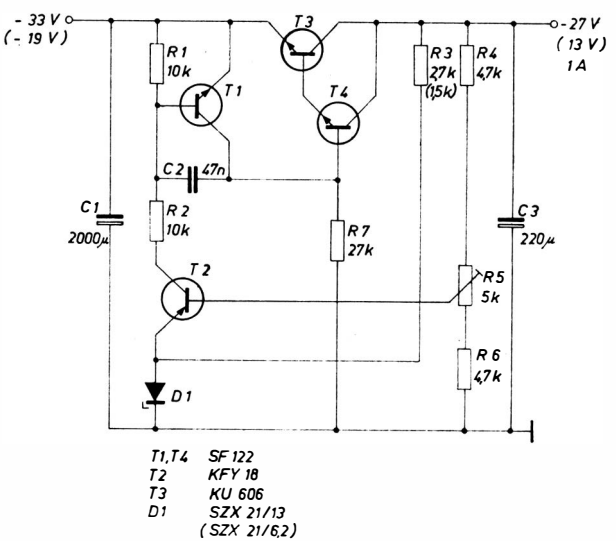


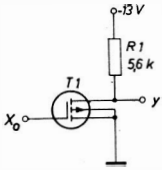
Bild 3.4 Geregeltes Stabilisierungsteil für große Leistung

4. Realisierung der wichtigsten logischen Grundfunktionen mit p-Kanal-MOS-Schaltkreisen

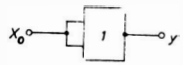
In Abschnitt 2. wurde schon gesagt, daß innerhalb der Schaltkreisserie *U 10* die NOR-Technik dominiert. Ursache dafür sind die Eigenschaften der benutzten MOSFET. Der folgende Abschnitt zeigt, wie sich in der Praxis die wichtigsten logischen Grundfunktionen realisieren lassen.

4.1. Verwirklichung logischer Funktionen in NOR-Technik und mit dem Schaltkreis U 105 D

Zum Aufbau einer gegebenen logischen Schaltung sind prinzipiell nur die Verknüpfungsglieder AND, OR und NEGATOR notwendig. Mit den Rechenregeln der Schaltalgebra kann man aber leicht beweisen, daß es möglich ist, die 3 genannten und auch noch weitere logische Verknüpfungen — z. B. NAND — nur mit Gattern des NOR-Typs zu verwirklichen. Innerhalb der Schaltkreisserie *U 10* gibt es neben dem NOR noch die Verknüpfungsglieder AND und NAND. Trotzdem ist es oft erforderlich, daß z. B. die logische Verknüpfung AND mit NOR-Gattern realisiert werden muß, weil der verfügbare Baustein *U 107 D* nur AND-Gatter mit 2 Eingängen enthält. Weiterhin kann es aus Gründen der Typenbeschränkung erforderlich sein, ein Verknüpfungsglied ausschließlich mit NOR-Gattern zu verwirklichen. Neben der Möglichkeit, alle innerhalb einer Schaltung notwendigen Verknüpfungen mit NOR-Bausteinen der Typen *U 102 D* oder *U 106 D* zu verwirklichen, gibt es noch die Alternative, für bestimmte Aufgaben den Baustein *U 105 D* zu nutzen. Für einige oft benötigte logische Verknüpfungen sind in Bild 4.1 Realisierungsmöglichkeiten mit den IS *U 105 D* und *U 106 D* dargestellt.

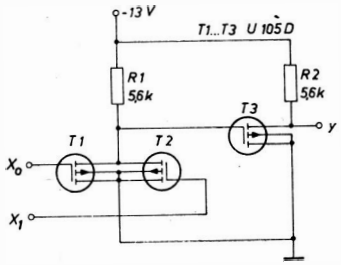


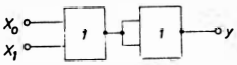
T1 SMY 50



$y = \bar{X}_0$

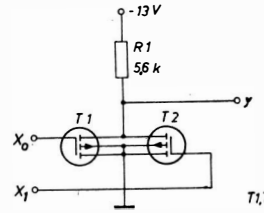
INVERTER



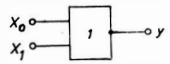


$y = X_0 \vee X_1$

OR

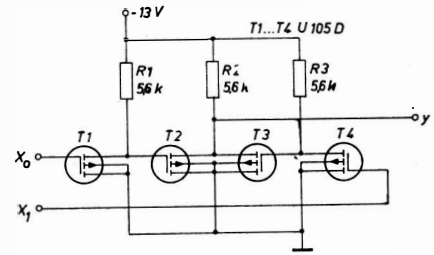


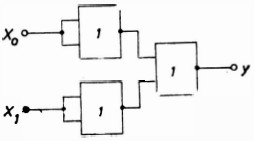
T1,T2 SMY 51



$y = \overline{X_0 \vee X_1}$

NOR





$y = X_0 X_1$

AND

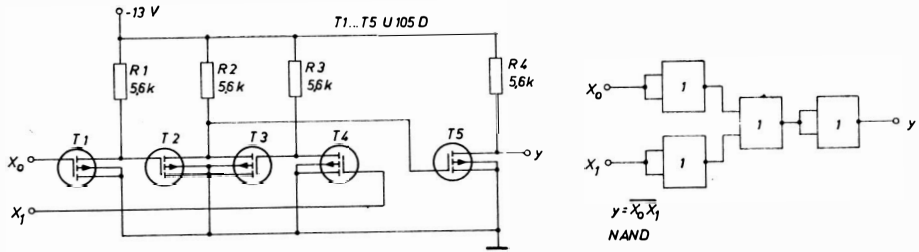


Bild 4.1 Realisierung logischer Verknüpfungen mit den Bausteinen *U 105 D* und *U 106 D*

5. Triggerschaltungen

Logische Schaltungen verarbeiten rechteckförmige Signale, bei denen nur die beiden Pegel H und L von Interesse sind. Im allgemeinen ist ein möglichst schneller Übergang von H- nach L- bzw. von L- nach H-Potential bei einem gewünschten Signalwechsel vorteilhaft, weil dadurch Störungen der Arbeitsweise verringert werden und die Arbeitsgeschwindigkeit der gesamten Schaltung wächst. Bedingt durch die relativ hochohmigen MOSFET, mit denen die Schaltkreisserie *U 10* realisiert ist, sind mit dieser nur Taktfrequenzen bis maximal 2 MHz möglich. MOS-Schaltkreise reagieren nur selten am Ausgang mit wilden Schwingungen, wenn der Pegelwechsel des Eingangssignals zu langsam erfolgt. In dieser Hinsicht sind, bezogen auf die TTL-Schaltkreisserie *D 10*, erheblich weniger Probleme zu erwarten. Trotzdem ist es günstiger, z. B. sinusförmige Eingangssignale in solche mit rechteckförmigem Spannungsverlauf umzuwandeln. Bestimmte Schaltkreise, insbesondere die Flip-Flop *U 103 D* und die Flip-Flop, die die IS *U 112 D* enthält, erfordern auf Grund ihres dynamischen Zwischenspeichers Anstiegs- und Abfallzeiten des Taktsignals von kleiner als 10 µs. Die im folgenden beschriebenen Triggerschaltungen erfüllen die Aufgabe, Signale beliebiger Kurvenform so in frequenzgleiche Rechteckspannungen umzuwandeln, daß man damit MOS-Schaltkreise ansteuern kann. Triggerschaltungen eignen sich außerdem in astabilen und monostabilen Zeitkreisen sowie zur Impulsregenerierung.

Alle Triggerschaltungen schalten bei einer bestimmten Eingangsspannung ein. Je nach Schaltungsvariante liegt am Ausgang des Triggers dann H- oder L-Pegel, der sich auch bei dem weiteren Ansteigen der Eingangsspannung nicht mehr ändert. Erst wenn die Eingangsspannung wieder verringert wird, kippt der Trigger in seine Ausgangslage zu-

rück. Dabei ist wesentlich, daß das Zurückkippen bei einer gegenüber der Einschaltspannung kleineren Spannung erfolgt. Die Differenz zwischen der Einschalt- und der Ausschaltspannung wird als Hysterese bezeichnet. Sie ist aus Gründen der Stabilität unbedingt notwendig, damit eindeutige Umschaltpunkte des Triggers vorliegen. Die Hysterese läßt sich bei den meisten Triggerschaltungen in Grenzen einstellen. Ob der Spannungswert der Hysterese groß oder klein gewählt wird, hängt stark von der Aufgabe des Triggers ab. Soll er eine von Störungen überlagerte Wechselspannung umwandeln, so ist eine kleine Hysterese nicht sehr vorteilhaft, denn der Trigger kann dann bei einer Störung leicht unerwünscht zurückschalten. Benutzt man dagegen Trigger in astabilen oder monostabilen Zeitkreisen, so ist natürlich ein möglichst großer Wert für die Hysterese von Vorteil, weil dadurch relativ kleine zeitbestimmende Kondensatoren ausreichen.

5.1. Triggerschaltungen mit dem Dual-MOSFET SMY 51

Das Bild 5.1 zeigt eine Triggerschaltung mit dem Dual-MOSFET *SMY 51*. Der Aufbau dieser Schaltung entspricht weitgehend dem bekannten *Schmitt*-Trigger mit bipolaren Transistoren. Solange die negative Spannung am Gate des Transistors T1 noch gering ist, sperrt dieser. Dadurch liegt das Gate von T2 an der Speisespannung von — 13 V. T2 leitet, und an der Sourceelektrode liegt eine Spannung von etwa — 2 V. Wenn T2 leitet, fließt fast der gesamte Drainstrom in die Basis des npn-Transistors T 3. Dieser leitet, und der Ausgang des Triggers befindet sich auf L-Potential. Steigt jetzt die Spannung am Gate in negativer Richtung an, so beginnt der Transistor T1 dann zu leiten, wenn die negative Eingangsspannung an seinem Gate größer ist als die Summe des Spannungsabfalls über dem Widerstand R4 plus der Schwellspannung von T1. Durch den einsetzenden Drainstrom des Transistors T1 sinken seine Drainspannung und damit auch die Gatespannung des

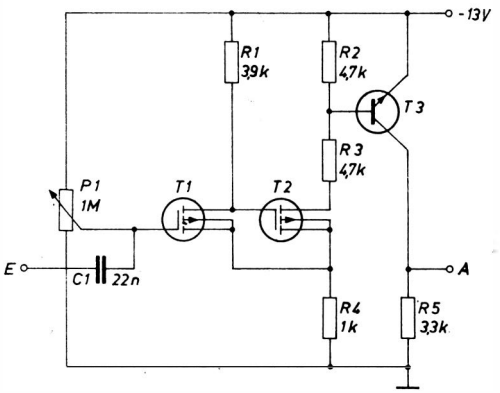


Bild 5.1 *Schmitt*-Trigger mit dem Dual-MOSFET *SMY 51*

Transistors T2. Als Folge davon leitet T2 etwas weniger. Das bedeutet aber einen verringerten Spannungsabfall über R4, so daß T1 mit einer größeren Gate-Source-Spannung angesteuert wird. Diese Mitkopplung über den gemeinsamen Emitterwiderstand R4 bewirkt bei Erreichen der Einschaltspannung ein schnelles Umschalten des Triggers, und seine Ausgangsspannung springt auf H-Pegel. Ein entsprechender Ablauf entsteht, wenn sich die Eingangsspannung an E wieder von hoher negativer Spannung auf einen Pegel verringert, der unterhalb der Ausschaltspannung liegt, und der Trigger dann wieder zurückschaltet. Bei dem Musteraufbau wurde eine Einschaltspannung von $-U_{ein} = 8{,}5$ V und eine Ausschaltspannung $-U_{aus} = 7{,}5$ V gemessen. Die Oszillogrammaufnahme Bild 5.2 zeigt die Hysteresekurve des *Schmitt*-Triggers.

Das Bild 5.3 stellt eine Triggerschaltung vor, die man auch unter dem Namen Stromtrigger kennt und folgendermaßen arbeitet: Solange die Eingangsspannung an E positiv oder kleiner als die Schwellspannung des MOSFET T1 ist, sperrt dieser Transistor, und T2 leitet wegen seiner hohen negati-

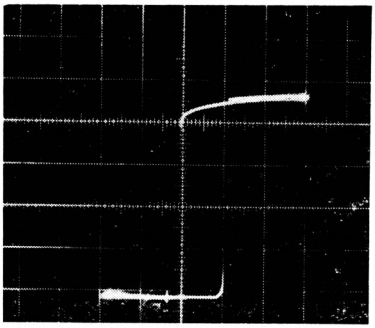


Bild 5.2
Hysteresekurve des Triggers in Bild 5.1. Maßstab in x-Richtung: 1 V/RE; Maßstab in y-Richtung: 2,5 V/RE

ven Gatespannung. Bei einer positiven Eingangsspannung begrenzt die Germaniumdiode D2 die positive Spannung am Gate auf einen zulässigen Wert von 0,2 V bis 0,3 V. Der Ausgang A des Triggers befindet sich auf H-Potential. Mit zunehmender negativer Eingangsspannung steigt auch die Spannung am Gate von T1 in negativer Richtung an. Solange die negative Spannung am Verbindungspunkt von R1 und R3 noch kleiner ist als die Schwellspannung des Transistors T1, verbleibt der Trigger in der oben angegebenen Lage. Erst wenn die Gatespannung von T1 dessen Schwellspannung überschreitet, beginnt dieser Transistor zu leiten. Als Folge davon sinkt dessen Drainspannung in

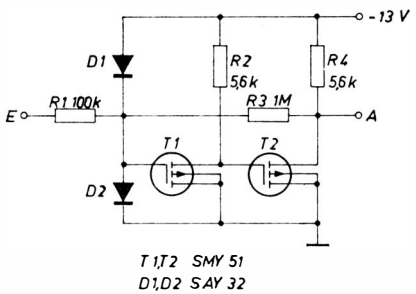


Bild 5.3 Stromtrigger mit dem Dual-MOSFET *SMY 51*

Richtung kleiner negativer Spannung ab. Der Transistor T2 erhält eine kleinere Gatespannung, und seine Drainspannung steigt in Richtung hoher negativer Spannung an. R3 führt diesen Spannungsanstieg dem Gate des MOSFET T1 zu, der deshalb beschleunigt einschaltet. Die mit R3 realisierte positive Rückkopplung sichert ein schnelles Einschalten des Triggers, der danach an seinem Ausgang L-Potential führt. Verringert man die Eingangsspannung wieder, so laufen die beschriebenen Vorgänge in der umgekehrten Reihenfolge ab. Auch bei dem Ausschaltvorgang wirkt die positive Rückkopplung mit dem Widerstand R3. Die Diode D1 schützt den Trigger sicher vor negativen Überspannungen. Messungen an der Schaltung ergaben eine Einschaltspannung $-U_{ein} = 6{,}6\,V$ und eine Hysteresespannung $-U_{hys} = 1{,}4\,V$. Die Einschaltspannung und die Hysterese lassen sich mit den nachstehenden Näherungen berechnen. Es ist eine gute Übereinstimmung zwischen den Meß- und den Rechenwerten festzustellen:

$$-U_{ein} = -U_{TT1} \cdot \frac{R1 + R3}{R3} \tag{4}$$

$$-U_{hys} = -U_2 \cdot \frac{R1}{R3} \tag{5}$$

Auf Grund der begrenzten Spannungsverstärkung der beiden MOSFET T1 und T2 sollte das Verhältnis R1/R3 nicht kleiner als 0,1 gewählt werden, damit der Trigger unter allen Umständen sicher schaltet. Das Verhältnis R1/R3 hat entsprechend der Gleichung (5) großen Einfluß auf die Hysterese des Triggers. Muß R1/R3 zur Sicherung einer geringen Hysterese den Wert 0,1 unterschreiten, so kann man zusätzlich 2 weitere MOSFET dem Transistor T2 folgen lassen (Drainwiderstände 5,6 kΩ), wobei dann R3 an den letzten Transistor angeschlossen wird. Die Gesamtstufenzahl muß gradzahlig bleiben, damit die Phasengleichheit von Ausgangs- und Eingangssignal vorliegt. Bei einem so erweiterten Trigger, der ansonsten dem Bild 5.3 entspricht, darf R1/R3 minimal 0,01 sein. Oft ist es aber ökonomi-

scher, wenn man Trigger mit kleiner Hysterese mit den Gattern der IS *U 102 D*, *U 106 D* und *U 107 D* verwirklicht.

5.2. Triggerschaltungen mit den IS U 102 D, U 106 D und U 107 D

In den in diesem Abschnitt angegebenen Triggerschaltungen wurden ausschließlich Gatter als aktive Elemente verwendet. Vorteilhaft ist dabei, daß meist nur wenige zusätzliche Bauelemente notwendig sind, um die gewünschten Eigenschaften zu erhalten. Die Triggerschaltungen arbeiten alle nach dem Stromtriggerprinzip und enthalten als aktive Elemente NOR- und AND-Gatter. Bei einem Stromtrigger muß das Ausgangssignal die gleiche Phasenlage wie das Eingangssignal haben.
Verwendet man NOR-Gatter, muß die Zahl der Gatter also geradzahlig, mindestens 2 sein. Die Anzahl der AND-Gatter, mit der ein Stromtrigger aufgebaut ist, wird nur durch die Signallaufzeiten begrenzt. Praktisch sollten nicht mehr als 4 Gatter eingesetzt werden, weil die Signalverzögerung vom Eingang zum Ausgang des Triggers sonst Werte

Tabelle 5.1 Zahl der erforderlichen Gatter bei Stromtriggern in Abhängigkeit von der Hysterese

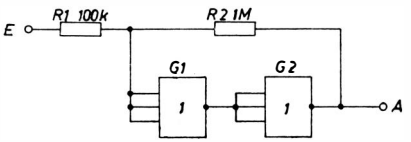
$-U_{hys}$ [V]	Mindestzahl der Gatter, wenn alle Eingänge miteinander verbunden sind		Mindestzahl der Gatter, wenn jeweils ein Eingang an −13 V liegt
	U 102	U 106	U 107
10	2	2	1
1	2	2	1
0,1	4	4	2
0,01	4	4	3

annehmen kann, die ein sicheres Schalten des Triggers in Frage stellen. Die Zahl der erforderlichen Gatter (2 oder 4 bei NOR- bzw. 1 bis 4 bei AND-Gattern) ist von der geforderten Triggerhysterese abhängig. Die Tabelle 5.1 zeigt typische Werte der notwendigen Gatterzahlen von der Hysterese, wobei davon ausgegangen wurde, daß der Pegelsprung am Triggerausgang wenigstens 10 V beträgt. Nach diesen allgemeinen Bemerkungen sollen jetzt einige Triggerschaltungen mit NOR- bzw. AND-Gattern als aktive Elemente kurz vorgestellt werden. Die genaue Beschreibung der Arbeitsweise dieser Schaltungen ist nicht erforderlich, da diese weitgehend identisch ist mit der des in Bild 5.3 gezeigten Triggers. Das Bild 5.4 stellt einen Trigger mit 2 NOR-Gattern der IS *U 102 D* dar. Die Schaltung lieferte $-U_{ein} = 6$ V und $-U_{aus} = 5$ V. Zur Berechnung der Einschalt- und Ausschaltspannung sind folgende Näherungen nützlich:

$$-U_{ein} = U_{UG1} \cdot \frac{R1 + R2}{R2} \tag{6}$$

$$-U_{aus} = -U_{UG1} + \frac{R1 \cdot (-U_{UG1} + U_{OLG2} - U_{OHG2})}{R2} \tag{7}$$

Beim Trigger in Bild 5.5 wurden als aktive Elemente 4 AND-Gatter verwendet. Die Hysterese dieser Schaltung ist besonders gering und betrug $-U_{hys} = 0{,}25$ V. Mit dem Trigger lassen sich besonders Wechselspannungen mit geringer Amplitude gut umwandeln. Den optimalen Arbeitspunkt kann



G1,G2 U 102D

Bild 5.4 Stromtrigger mit der IS *U 102 D*

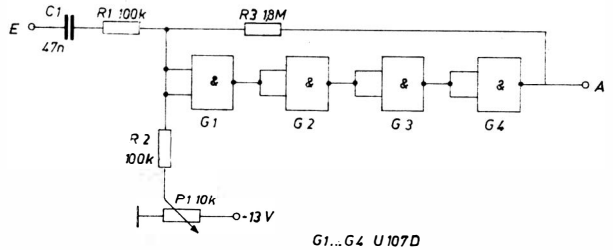
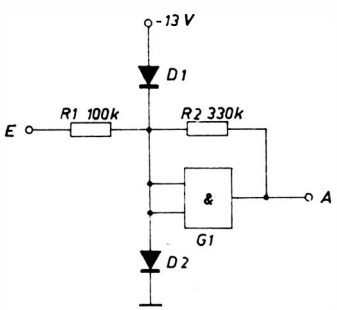


Bild 5.5 Empfindlicher Stromtrigger mit dem Baustein *U 107 D*

man mit dem Triggerpegelregler P1 einstellen. Den wohl einfachsten Stromtrigger, er enthält als aktives Element nur ein AND-Gatter, zeigt das Bild 5.6. Dieser Trigger schaltet bei $-U_{ein} = 6{,}5$ V ein und hat eine Hysterese von $-U_{hys} = 4$ V. Der Trigger ist mit den Dioden D1 und D2 vor positiven und negativen Überspannungen sicher geschützt. Solche Schutzdioden empfehlen sich auch bei den Schaltungen in Bild 5.4 und Bild 5.5, wenn mit Überspannungen gerechnet werden muß.



G1 U107D
D1,D2 SAY32

Bild 5.6
Einfacher Stromtrigger
mit einem AND-Gatter

6. Bistabile Multivibratoren, Frequenzteiler und Zählerschaltungen

Bistabile Multivibratoren sind Kippschaltungen, die über 2 stabile Zustände verfügen. Einfache bistabile Multivibratoren haben nur Stell- und Rückstelleingänge und werden deshalb vorwiegend zur Signalspeicherung benutzt. Für Frequenzteiler und Zählschaltungen sind bistabile Multivibratoren, man nennt sie auch Flip-Flop, notwendig, die ihre Ausgangslage immer dann wechseln, wenn an ihrem Takteingang ein Signalwechsel erfolgt. Solche bistabilen Multivibratoren arbeiten als binäre Frequenzteiler. Durch das Hintereinanderschalten mehrerer solcher Flip-Flop sind Teiler mit Teilverhältnissen von $2^1 : 1$, $2^2 : 1$, $2^3 : 1$ bis $2^n : 1$ möglich, wobei n gleich der Zahl der benutzten Flip-Flop ist. Neben binären Frequenzteilern kann man durch sogenannte Rückführungen Frequenzteiler und Impulszähler mit beliebigem Teilerverhältnis bzw. Zählumfang realisieren.

Prinzipiell ist es möglich, mit einigen diskreten Bauelementen ein statisches RS-Flip-Flop aus NOR-Gattern so zu beschalten, daß es sich als Binärteiler eignet [5]. Auf die Beschreibung einer solchen Möglichkeit sei verzichtet, weil

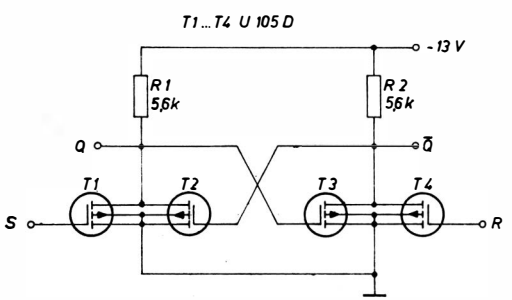


Bild 6.1 RS-Flip-Flop mit der IS *U 105 D*

innerhalb der MOS-Schaltkreisreihe 3 unterschiedliche Flip-Flop-Typen für Binärteiler zur Verfügung stehen, so daß flankengetriggerte Flip-Flop aus NOR-Gattern auch für den Amateur unökonomisch und zu aufwendig sind. Die Vielfalt der mit den 3 Flip-Flop-Typen *U 103 D, U 108 D* und *U 112 D* möglichen Frequenzteiler und Zähler zwang zu einer Beschränkung auf die am häufigsten von Amateuren benötigten Teilerschaltungen und auf dekadische Zählschaltungen.

6.1. Das getaktete und ungetaktete RS-Flip-Flop und das D-Flip-Flop

Das einfachste Flip-Flop ist das RS-Flip-Flop, das in MOS-Technik entweder mit dem Baustein *U 105 D*, entsprechend dem Bild 6.1, oder mit 2 NOR-Gattern, wie Bild 6.2 zeigt, realisiert wird. Die in den Bildern dargestellten bistabilen Multivibratoren haben Setz- und Rücksetzeingänge, die mit S bzw. R bezeichnet werden. Das RS-Flip-Flop verfügt über die beiden Ausgänge Q und $\overline{Q}$, deren Signale im Normalfall komplementär zueinander sind. Das RS-Flip-Flop ist besonders zur Unterdrückung von Kontaktprellungen geeignet. Dabei liefert, wie in Bild 6.2 dargestellt, ein mechanischer Schalter die Steuersignale für die Eingänge R und S des Flip-Flop, das bei dem erstmaligen

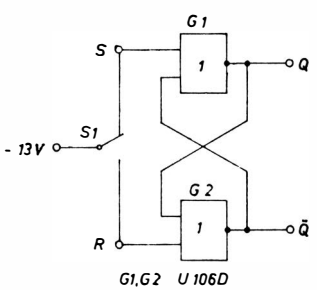


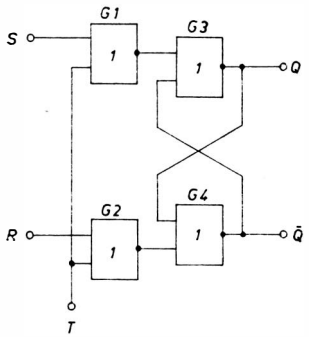
Bild 6.2
RS-Flip-Flop mit NOR-Gattern

Erscheinen dieser Signale umschaltet und somit die dann möglicherweise folgenden Prellimpulse wirkungsvoll unterdrückt. Die Arbeitsweise des RS-Flip-Flop ist leicht zu übersehen und soll am Beispiel (Bild 6.2) kurz beschrieben werden. Mit dem Zuschalten der Speisespannung stellte sich das Flip-Flop grundsätzlich in eine beliebige Lage, wenn die beiden Eingänge R und S H-Pegel führen. Nimmt man an, daß am Ausgang Q H-Potential liegt, so stehen die beiden Eingänge des Gatters G2 auf diesem Pegel, und der Ausgang von G2 führt L-Potential. Dieses sorgt durch die Verbindung des einen Eingangs von G1 mit dem Ausgang $\overline{Q}$ dafür, daß der Ausgang des Gatters G1 — wie oben angenommen — H-Pegel hat. Die Tabelle 6.1 zeigt, welchen Ausgangszustand das RS-Flip-Flop in Abhängigkeit von den an R und S möglichen Signalkombinationen einnimmt. Bei einem gleichzeitigen Signalwechsel an R und S von L- auf H-Potential stellt sich das Flip-Flop in eine beliebige Lage, die zu Störungen führen kann. Ein solcher Betriebsfall ist deshalb unzulässig und ist zu verhindern.

Will man digitale Signale speichern, so muß das einfache RS-Flip-Flop getaktet werden können. Ein solches Flip-Flop übernimmt mit dem Taktimpuls den zu speichernden Pegel und hält diesen so lange fest, bis der folgende Taktimpuls den dann möglicherweise geänderten Eingangswert in das Flip-Flop einschreibt. Für solche und ähnliche

Tabelle 6.1
Funktionstabelle des RS-Flip-Flop

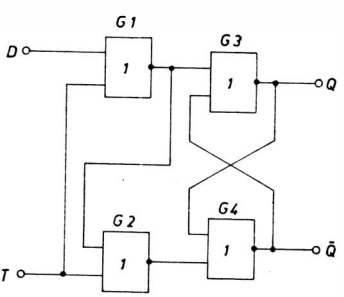
S	R	Q	$\overline{Q}$
L	L	H	H
L	H	H	L
H	L	L	H
H	H	keine Änderung	



G1...G4 U106D

Bild 6.3
Getaktetes RS-Flip-Flop

Aufgaben sind das getaktete RS-Flip-Flop (Bild 6.3) und das D-Flip-Flop (Bild 6.4) geeignet. Solange der Takteingang des getakteten RS-Flip-Flop L-Potential führt, liegen die Ausgänge der beiden Gatter G1 und G2 auf H-Pegel und trennen dadurch den Speicher mit G3 und G4 von den Eingängen R und S. Schaltet der Takteingang auf H-Potential um, so stellen die Signale an R und S das Flip-Flop mit den Gattern G3 und G4. Wechseln die Signale während der Taktimpulsdauer, dann folgen natürlich die Pegel an Q und $\overline{Q}$ entsprechend. Gespeichert wird deshalb die Signalkombination an R und S, die am Ende des



G1...G4 U106D

Bild 6.4
D-Flip-Flop

Tabelle 6.2
Logisches Verhalten des getakteten RS-Flip-Flop

S	R	Ausgangszustand nach dem Takt Q	$\overline{Q}$
L	L	keine Änderung	
L	H	L	H
H	L	H	L
H	H	beliebiger Zustand	

Taktimpulses, wenn dessen Pegel von H- auf L-Potential springt, anliegen. Die Tabelle 6.2 gibt Auskunft über das logische Verhalten des getakteten RS-Flip-Flop.
Nicht immer liegen die für das Einspeichern in ein getaktetes RS-Flip-Flop notwendigen komplementären Signale vor. In diesen Fällen benutzt man das D-Flip-Flop, das ebenfalls getaktet betrieben wird. Der Eingang D ist vom Speicher-Flip-Flop mit den Gattern G3 und G4 abgetrennt, wenn der Takteingang L-Potential eingenommen hat. Erst wenn an T H-Pegel erscheint, erfolgt die Signalübernahme

Tabelle 6.3
Logisches Verhalten des RS-Flip-Flop mit einem Eingang

D	Ausgangszustand nach dem Takt Q	$\overline{Q}$
L	L	H
H	H	L

des logischen Pegels am Eingang D auf den Ausgang Q, wobei sich gleichzeitig der Ausgang $\bar{Q}$ auf den komplementären Signalwert einstellt. Die Tabelle 6.3 beschreibt das logische Verhalten des D-Flip-Flop, bei dem, da nur ein Eingang vorhanden ist, keine undefinierten Zustände auftreten können.

6.2. Frequenzteiler mit den IS U 103 D, U 108 D und U 112 D

Der folgende Abschnitt beschreibt je 3 Teilerschaltungen mit den Schaltkreisen *U 102 D* und *U 108 D*. Die Teilerverhältnisse betragen 2 : 1, 3 : 1 und 5 : 1. Größere Teilerverhältnisse, die ebenfalls oft notwendig sind, z. B. 6 : 1 und 10 : 1 usw., kann man durch das Hintereinanderschalten der beschriebenen Frequenzteiler verwirklichen. Ökonomisch günstiger ist es allerdings, wenn für Teilerverhältnisse von 6 : 1, 10 : 1, 60 : 1 und 100 : 1 der Baustein *U 112 D* benutzt wird. Frequenzteiler dieser Art sind am Schluß dieses Abschnitts erläutert.

Das Bild 6.5 zeigt die erforderlichen Verbindungen bei dem Baustein *U 103 D*, wenn er als Binärteiler arbeiten soll. Das Teilerverhältnis beträgt dann 2 : 1. Das Flip-Flop *U 103 D* ist taktflankengesteuert, d. h., nur während des Übergangs des Taktimpulses von H- in Richtung L-Pegel erfolgt eine Informationsübernahme von den Eingängen

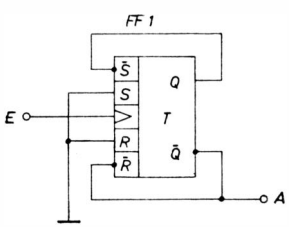


Bild 6.5
Binärteiler mit dem Flip-Flop *U 103 D*

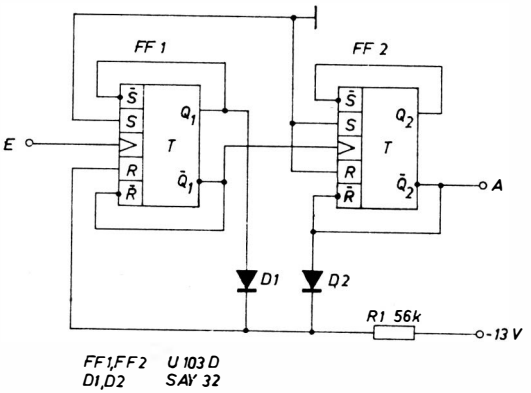


Bild 6.6 Frequenzteiler mit einem Teilerverhältnis von 3 : 1

$\overline{R}$ und $\overline{S}$ und damit ein Wechsel des Ausgangszustandes bei der Schaltung in Bild 6.5. Für Frequenzteiler mit den Teilerverhältnissen 3 : 1 und 5 : 1 sind, wie man Bild 6.6 und Bild 6.7 entnimmt, Rückführungen erforderlich. Beide Teiler haben als Rückführungsnetzwerk je ein mit den Dioden D1 und D2 bzw. D1 bis D3 verwirklichtes AND-Gatter. Die Frequenzteiler in Bild 6.6 und Bild 6.7 arbeiten so lange binär, bis an allen Anoden der Dioden der AND-Gatter L-Pegel anliegt. In diesem Augenblick führen auch die Ausgänge der AND-Gatter L-Potential, das dann über die R- bzw. S-Eingänge eine zusätzliche Stellung bestimmter Flip-Flop bewirkt. Dabei werden gerade soviel binäre Zählschritte übersprungen, wie zur Sicherung des gewünschten Teilerverhältnisses erforderlich sind.
Durch die nach dem Master-Slave-Prinzip arbeitenden Flip-Flop des Bausteins *U 108* in Frequenzteilern wird wegen der OR-verknüpften J- und K-Eingänge meist kein zusätzliches Gatter notwendig. Bild 6.8 zeigt die Beschaltung eines Flip-Flop der IS *U 108 D*, wenn dieses als Binärteiler arbeitet. Der Frequenzteiler in Bild 6.9 hat ein Teilverhältnis von 3 : 1. Die Oszillogramme in Bild 6.10 zeigen

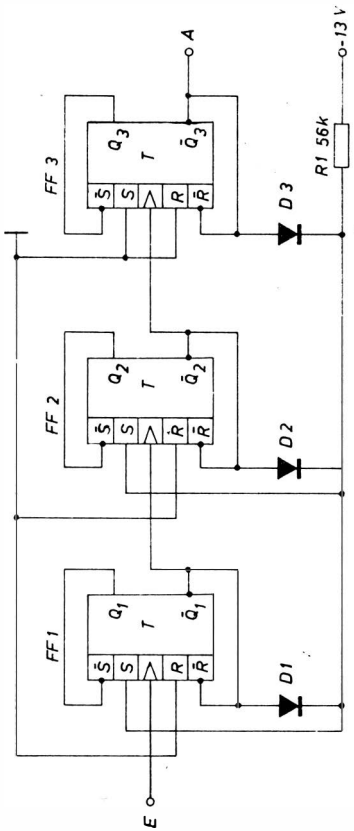


Bild 6.7
Frequenzteiler mit einem Teilerverhältnis von 5 : 1

die Eingangs- und Ausgangsimpulse des Teilers. Der Frequenzteiler in Bild 6.11 ermöglicht eine Frequenzteilung im Verhältnis von 5 : 1. Das Bild 6.12 zeigt die Oszillogramme der Takt- und Ausgangsimpulse. Weitere Schaltungsvarianten für Frequenzteiler und Zählschaltungen findet der interessierte Leser in [6] und [7], dort sind asynchrone, synchrone Zähl- und Teilerschaltungen sowie Beispiele für Schieberegister ausführlich beschrieben.

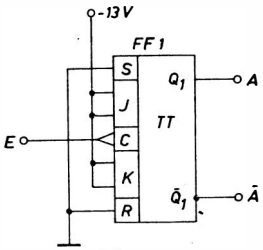


Bild 6.8
Binärteiler mit einem Flip-Flop des Bausteins *U 108 D*

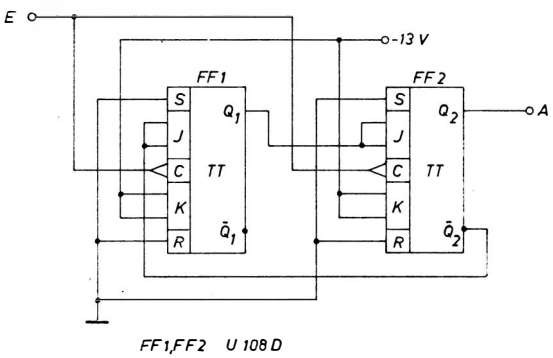


Bild 6.9 Frequenzteiler mit einem Teilerverhältnis von 3 : 1

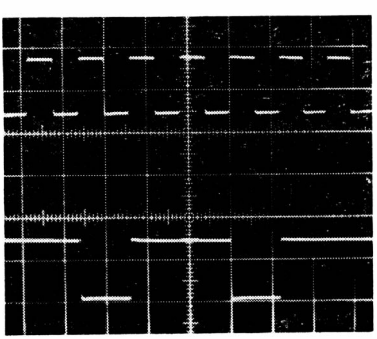


Bild 6.10
Oszillogramme zu Bild 6.9. Oben: Taktimpulse an E; unten: Ausgangsimpulse an A

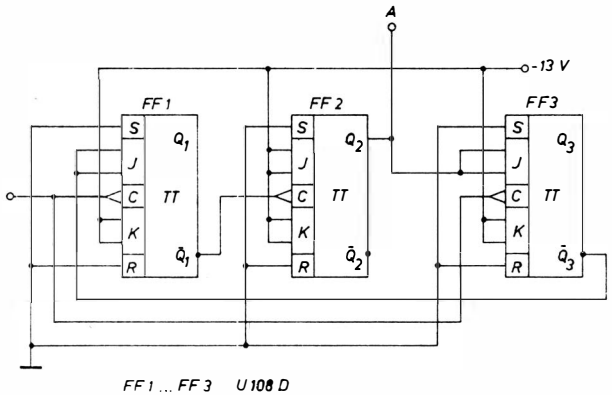


Bild 6.11 Frequenzteiler mit einem Teilerverhältnis von 5 : 1

Ein für den Amateur sehr interessanter Baustein ist die IS *112 D*. Dieser Schaltkreis wurde eigentlich für den vorzugsweisen Einsatz in elektronischen Tasteninstrumenten entwickelt. Die in dem Baustein *U 112 D* enthaltenen Flip-Flop können darüber hinaus aber auch als binärer Frequenzteiler, z. B. in Digitaluhren, eingesetzt werden. Über entsprechend ausgelegte Rückführungen lassen sich ebenfalls Frequenzteiler mit nichtbinärem Teilerverhältnis verwirklichen. Der Baustein beinhaltet 7 Flip-Flop, die z. T. schon

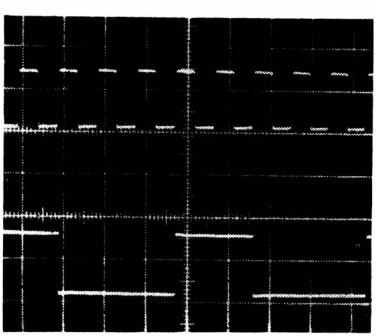


Bild 6.12
Oszillogramme zu Bild 6.11. Oben: Taktimpulse an E; unten: Ausgangsimpulse an A

intern zusammengeschaltet sind (vergleiche Bild 2.17). Für Frequenzteiler mit Teilerverhältnissen von $2^l : 1$ bis $2^i : 1$ schaltet man die in der IS *U 112 D* enthaltenen Flip-Flop hintereinander, wobei die Zahl der erforderlichen Flip-Flop gleich dem Exponenten n des gewünschten Teilerverhältnisses $2^n : 1$ ist. Weicht das erforderliche Teilerverhältnis von der Form $2^n : 1$ ab, so ist eine Rückführung notwendig, die einen Impuls liefert, der bestimmte Flip-Flop der Teilerkette an deren Takteingängen zusätzlich triggert. Diese von der üblichen Form abweichende Auslegung der Rückführung ist deshalb notwendig, weil bei der IS *U 112 D* keine Setz- oder Rücksetzeingänge der ein-

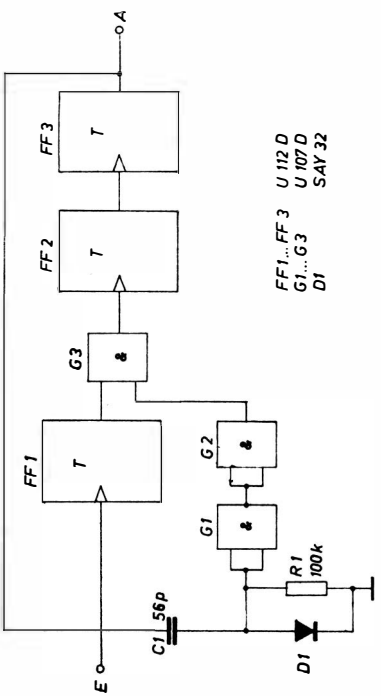


Bild 6.13 Frequenzteiler mit einem Teilerverhältnis von 6 : 1

zelnen Flip-Flop zugänglich sind. Die grundsätzliche Arbeitsweise der Rückführungen soll am Beispiel eines Teilers mit dem Teilerverhältnis von 6 : 1, er ist in Bild 6.13 dargestellt, beschrieben werden. Der Eingang des NAND-Gatters G1 führt H-Pegel, so daß am Ausgang von Gatter G2, das die Impulse verzögert, L-Potential anliegt. Die Flip-Flop FF1 bis FF3 sind deshalb als binäre Zählkette geschaltet, die so lange binär zählt, bis alle Ausgänge der Flip-Flop H-Potential eingenommen haben. Mit der nächsten H-L-Flanke an E schalten alle 3 Flip-Flop an ihren Ausgängen auf L-Pegel um. Den Pegelsprung am Ausgang von FF3 differenzieren die Bauelemente C1 und R1, während die Diode D1 die positive Spannung am Eingang des Gatters G1 begrenzt. Den über R1 entstehenden schmalen L-Impuls verstärken die Gatter G1 und G2. Wie Bild 6.14 zeigt, entsteht dabei am Ausgang des Gatters G2 ein kurzer H-Impuls. Die Rückflanke dieses Impulses triggert das Flip-Flop FF2, das dadurch an seinem Ausgang auf H-Pegel umschaltet. Infolgedessen werden aber, entsprechend der Wertigkeit des zusätzlich getriggerten Flip-Flop, 2 Zählerschritte übersprungen, und es wird deshalb ein Teilerverhältnis von 6 : 1 verwirklicht. Der Frequenzteiler kann also den quasistatischen Zustand einnehmen, bei dem sich alle Ausgänge auf L-Pegel befinden, bevor FF2 zusätzlich gestellt wird. Das sichert die Verzögerung des Stellimpulses durch die Gatter G1 und G2. Die Oszillogramme in Bild 6.14 und Bild 6.15

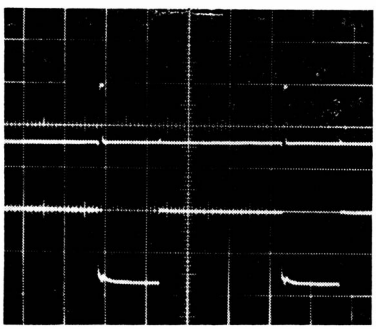


Bild 6.14
Oszillogramme zu Bild 6.13. Oben: Impulse am Ausgang des Gatters G2; unten: Ausgangsimpulse an A

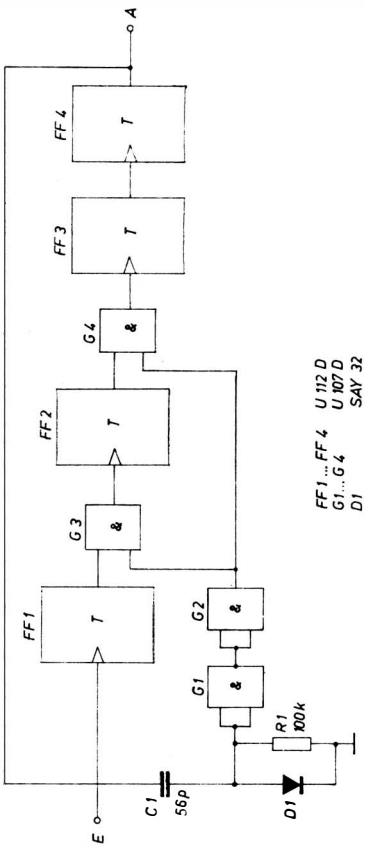


Bild 6.16
Frequenzteiler mit einem Teilerverhältnis von 10 : 1

zeigen die Impulsformen an wesentlichen Schaltungspunkten des beschriebenen Frequenzteilers. Die in Bild 6.16, Bild 6.18, Bild 6.20 und Bild 6.21 dargestellten Frequenzteiler mit den Teilerverhältnissen 10 : 1, 60 : 1 und 100 : 1 unterscheiden sich von dem beschriebenen Teiler nur durch die Zahl der Flip-Flop und in der Einkopplung der zusätzlichen Stellimpulse. Die prinzipielle Wirkungsweise die-

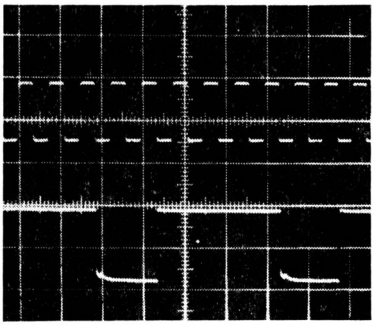


Bild 6.15
Oszillogramme zu Bild 6.11. Oben: Taktimpulse an E; unten: Ausgangsimpulse an A

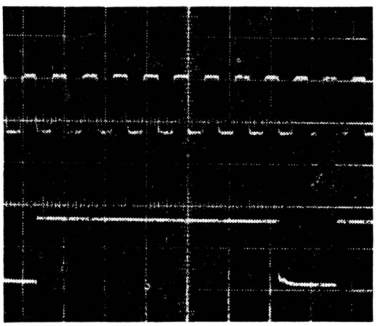


Bild 6.17
Oszillogramme zu Bild 6.16. Oben: Taktimpulse an E; unten: Ausgangsimpulse an A

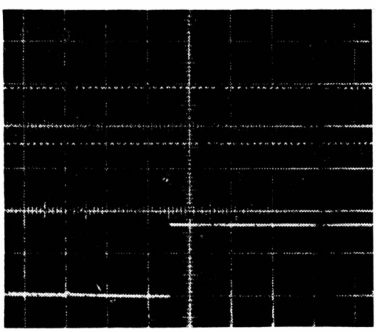


Bild 6.19
Oszillogramme zu Bild 6.18. Oben: Taktimpulse an E; unten: Ausgangsimpulse an A

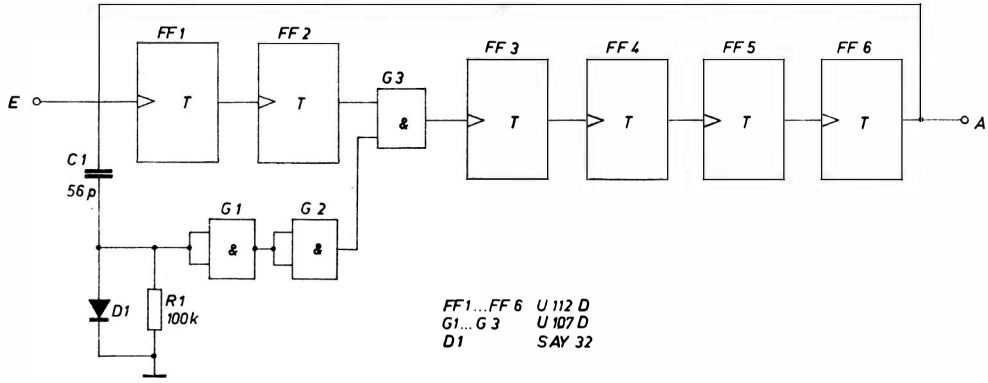


Bild 6.18 Frequenzteiler mit einem Teilerverhältnis von 60 : 1

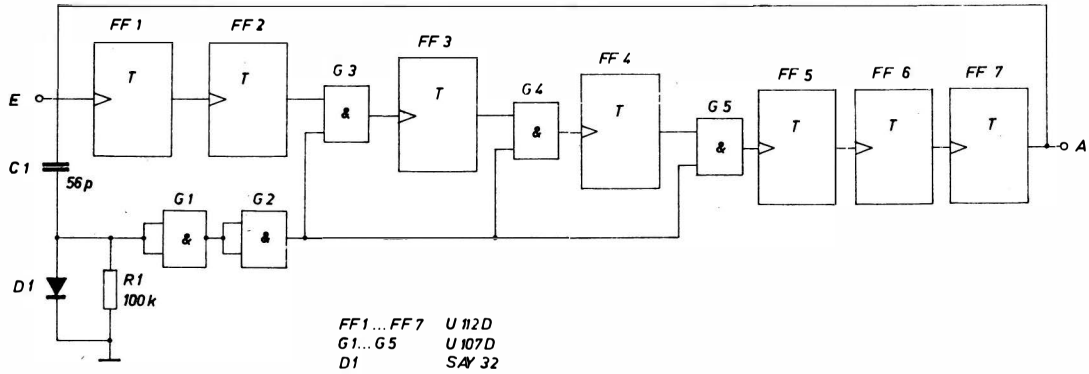


Bild 6.20 Frequenzteiler mit einem Teilerverhältnis von 100 : 1

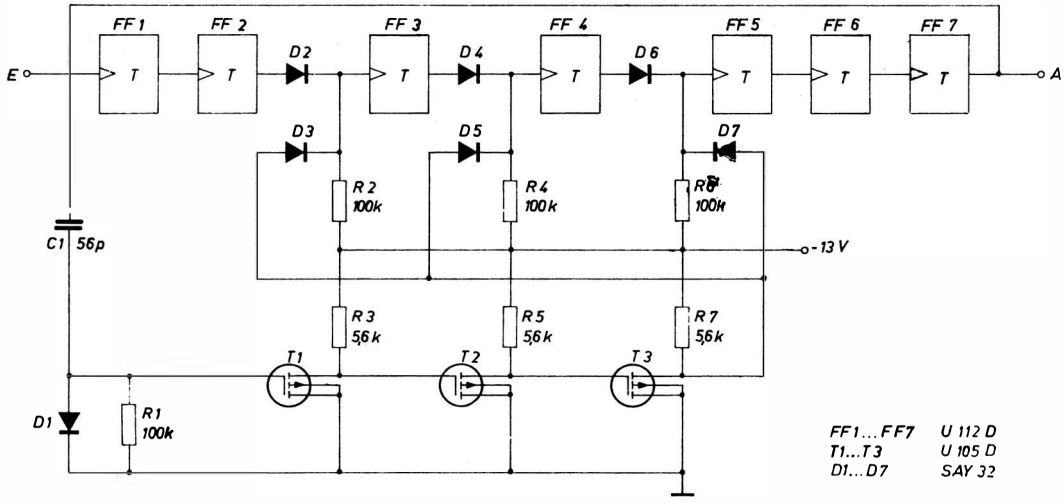


Bild 6.21 Frequenzteiler mit einem Teilerverhältnis von 100 : 1

ser Teiler ist identisch. Die Oszillogramme in Bild 6.17 und Bild 6.19 zeigen die Eingangs- und Ausgangsimpulse der Frequenzteiler mit dem Teilerverhältnis 10 : 1 und 60 : 1. Bei dem Teiler in Bild 6.21 wurde im Gegensatz zu den anderen Teilern das Rückführungsnetz mit diskreten Bauelementen realisiert.

6.3. Dekadische Zählschaltungen im BCD-Code mit den Schaltkreisen U 103 D und U 108 D

In digitalen Meßgeräten sind üblicherweise Zähldekaden eingesetzt, die nach dem *BCD*-Code arbeiten. Im folgenden Abschnitt werden 2 solche Zähldekaden angegeben, die mit den Flip-Flop *U 103 D* oder *U 108 D* verwirklicht wurden. Das Bild 6.22 zeigt eine Zähldekade mit den Bausteinen *U 103 D*. Ein L-Impuls am Eingang R der Dekade stellt diese zunächst zurück. Dadurch führen die Ausgänge Q aller Flip-Flop H-Pegel. Mit der ersten danach folgenden H-L-Flanke arbeitet die Zähldekade zunächst wie eine binäre Zählkette. Dabei wird das Flip-Flop FF4, dessen Takteingang an $\overline{Q}$ von FF1 liegt, bis zur 7. H-L-Flanke durch die Dioden D3 und D4 blockiert. Mit dem 8. Taktimpuls kippt FF4 und hindert über D1 FF2 am Kippen. Die 10. H-L-Flanke an E schaltet das Flip-Flop FF4 zurück, FF2 ist nicht mehr blockiert, und die Dekade hat den Anfangszustand wieder erreicht. Die erprobte Schaltung arbeitete sicher bis zu einer Taktfrequenz von maximal 1,6 MHz.
Bild 6.23 zeigt eine mit Schaltkreisen des Typs *U 108 D* aufgebaute Zähldekade, die für Taktfrequenzen bis etwa 1 MHz geeignet ist. Mit L-Pegel am Eingang R wird die Zähldekade rückgestellt. Alle Q-Ausgänge der Flip-Flop FF1 bis FF4 befinden sich dann auf H-Potential. Das Flip-Flop wird bei dieser Schaltung von dem AND-Gatter mit den Dioden D1 und D2, die mit den Q-Ausgängen von FF2 und FF3 verbunden sind, bis zum 7. Impuls blockiert. Nach der 8. L-H-Flanke verhindert die Rückführung von $\overline{Q}$ des Flip-Flop FF4 auf den J-Eingang von FF2 das Umschalten

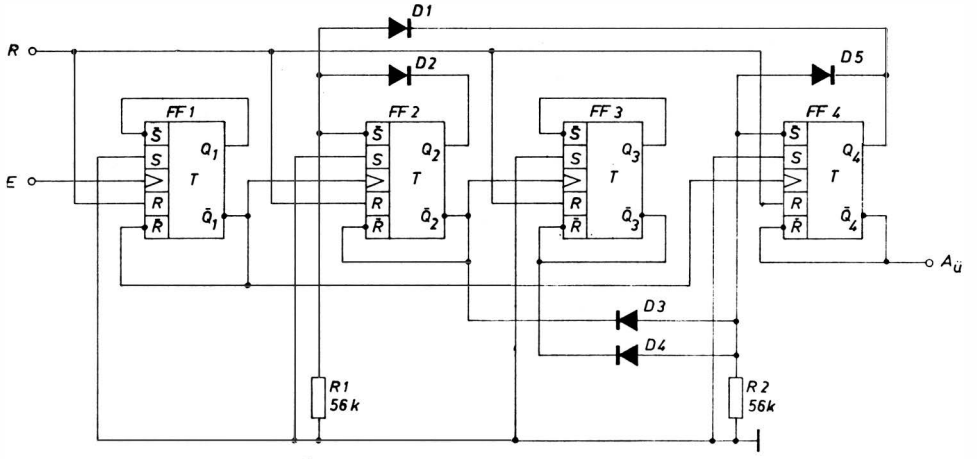


Bild 6.22
Zähldekade mit Flip-Flop des Typs *U 103 D*

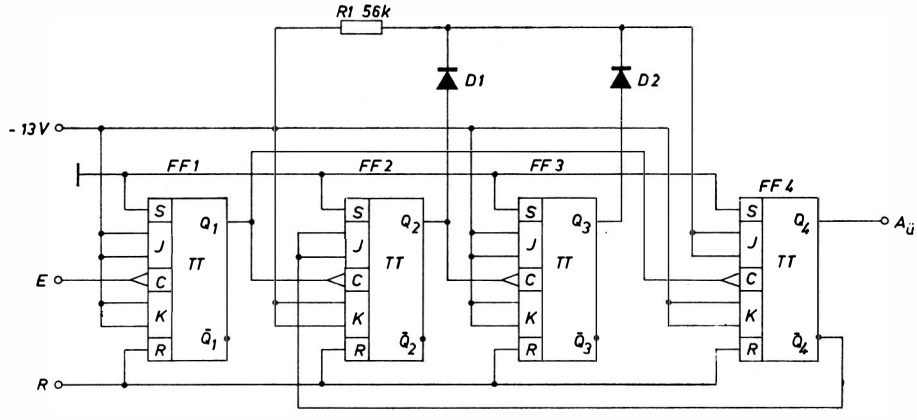


Bild 6.23 Zähldekade mit 2 Bausteinen *U 108 D*

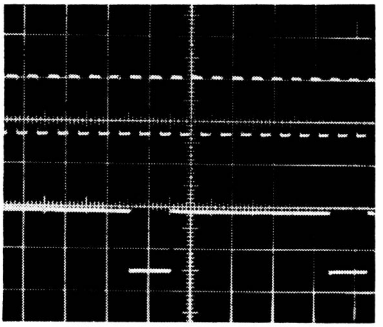


Bild 6.24
Oszillogramme zu Bild 6.23. Oben: Taktimpulse an E; unten: Ausgangsimpulse an A_Q

dieses Flip-Flop. Die 10. H-L-Flanke an E schaltet FF4 wieder zurück, und die Zähldekade befindet sich dann wieder in der Ausgangslage. Die Oszillogramme in Bild 6.24 zeigen die Taktimpulse an E und den Impulsverlauf am Ausgang Q von FF4.

7. Monostabile Multivibratoren

Monostabile Multivibratoren sind Kippschaltungen, die ein Triggerimpuls in ihre monostabile Lage umschaltet. Nach Ablauf einer in weiten Grenzen wählbaren Schaltungszeitkonstante kippt der monostabile Multivibrator selbsttätig wieder in seinen stabilen Zustand zurück. Ist die Erholzeit abgelaufen, in der sich der kippzeitbestimmende Kondensator auf eine stationäre Spannung auflädt, läßt sich der Monovibrator erneut triggern. Die Triggerimpulse brauchen meist nur so lange am Eingang anzuliegen, wie die Auslösung des Kippens dauert, weil die weiteren Vorgänge dann selbständig ablaufen. Monostabile Multivibratoren verwendet man zur Impulsregenerierung, Impulsverlängerung, in Zeitablaufsteuerungen, als Frequenzteiler usw.
Monostabile Multivibratoren mit MOS-Schaltkreisen zeichnen sich besonders durch den im Wert kleinen Kondensator des zeitbestimmenden RC-Gliedes aus. Die extrem geringen Eingangsströme der MOS-Gatter erlauben sehr hochohmige Ladewiderstände. Allerdings sollten deren Werte nicht extrem vergrößert werden, da sehr hochohmige Widerstände zur Unstabilität ihres Widerstandswertes neigen.

7.1. Monostabile Multivibratoren mit MOS-Gattern

Dieser Abschnitt beschreibt 2 Schaltungen für monostabile Multivibratoren, die ausschließlich MOS-Gatter als aktive Elemente enthalten. Der in Bild 7.1 gezeigte Monovibrator hat eine Kippzeit von 240 µs und arbeitet folgendermaßen: Im Ruhezustand befinden sich beide Eingänge des Gatters G1 auf H-Potential, so daß der Ausgang dieses Gatters L-Pegel führt. Der Kondensator C2 ist nicht geladen, weil der Belag, der mit R2 verbunden ist, ebenfalls auf L-Potential liegt. Das Gatter G2 arbeitet als Inverter und befindet sich

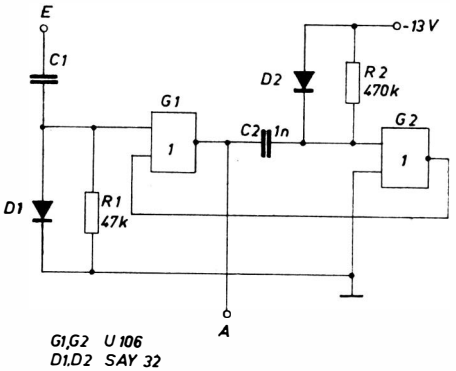


Bild 7.1 Monostabiler Multivibrator mit 2 Gattern des Bausteins *U 106 D*

an seinem Ausgang auf H-Potential. Der Kondensator C1 differenziert zusammen mit R1 den Triggerimpuls, und die Diode D1 begrenzt die positive Impulsspannung am Triggereingang des Gatters G1. Der Triggerimpuls schaltet den Gatterausgang von G1 auf H-Pegel um. Da der Kondensator C2 nicht geladen ist, befindet sich auch der Eingang des Gatters G2 auf diesem Potential und schaltet gleichfalls um. Damit erhält aber der 2. Eingang des Gatters G1 nun L-Pegel, so daß der Ausgang von G1 auch nach dem Abklingen des Triggerimpulses weiter H-Potential einnimmt. Der Multivibrator befindet sich jetzt in seiner monostabilen Phase. Die Schaltung bleibt so lange in dieser Lage, bis sich der Kondensator C2 über den Widerstand R2 auf den Wert der Gatterumschaltspannung aufgeladen hat. Die Diode D2 sperrt in dieser Zeit. In dem Moment, in dem die Spannung über C2 gleich der Umschaltspannung des Gatters G2 ist, wechselt dieses an seinem Ausgang von vorher L- auf H-Pegel. Dieser Pegelwechsel führt zum Umschalten des Gatters G1, das an seinem Ausgang L-Potential einnimmt. Damit befindet sich der monostabile Multivibrator wieder in seiner stabilen Lage. Die Schaltung kann erneut getriggert werden, wenn sich der Kondensator C2 über den Aus-

gang von G1 und die Diode D2 entladen hat. Eine vorzeitige Triggerung verkürzt die Kippzeit. Ein möglicher Reststrom der Diode D2 verringert die Kippdauer. D2 sollte deshalb bei hochohmigen Widerstandswerten für R2 einen möglichst geringen Reststrom aufweisen. Für die Kippzeit der Schaltung gilt die Näherungsbeziehung:

$$t \approx R2 \cdot C2 \cdot \ln \frac{-U_2}{U_{UG2} - U_2} = R2 \cdot C2 \cdot 0{,}49 \qquad (8)$$

Bild 7.2 und Bild 7.3 zeigen die Impulsformen an wesentlichen Schaltungspunkten des monostabilen Multivibrators nach Bild 7.1.

Der monostabile Multivibrator in Bild 7.4 verwendet als aktive Elemente 2 NOR- und ein AND-Gatter. Die Kippzeit des Monovibrators betrug bei dem Musteraufbau 0,9 ms. In der Ruhelage führen die beiden Eingänge des Gatters G1 H-Potential, so daß sich der Ausgang des Monovibrators auf L-Pegel befindet. Auf H-Potential liegt deshalb auch der Ausgang von G2, und der zeitbestimmende Kondensator C2 ist nicht geladen. Da an beiden Eingängen des AND-Gatters G3 H-Pegel anliegt, hat auch der Ausgang von G3 dieses Potential. Getriggert wird der monostabile Multivibrator wieder mit einem schmalen L-Impuls, den die Bauelemente C1, R1 und D1 aus der Vorderflanke eines beliebig breiten L-Impulses erzeugen. Der Triggerimpuls schaltet die Gatter

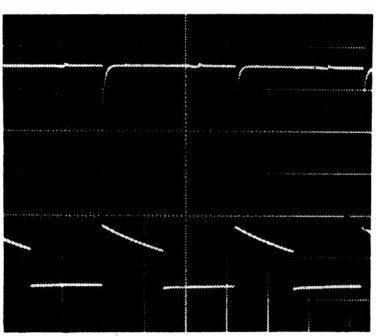


Bild 7.2
Oszillogramme zu Bild 7.1. Oben: Impulse am Triggereingang von G1; unten: Spannungsverlauf an der Katode von D2

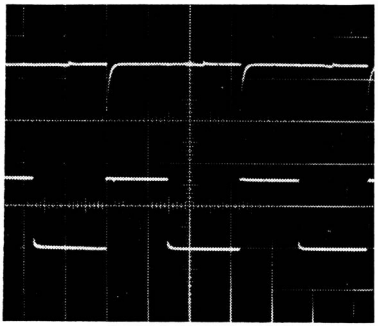
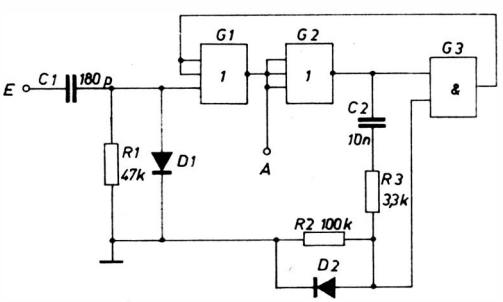


Bild 7.3
Oszillogramme zu Bild 7.1. Oben: Impulse am Triggereingang von G1; unten: Ausgangsimpulse an A

G1 bis G3 um, da zunächst wegen des ungeladenen Kondensators C2 beide Eingänge des AND-Gatters G3 L-Potential einnehmen. Der Ausgang von G3 führt diesen Pegel auf die beiden miteinander verbundenen Eingänge von G1 zurück, so daß der Monovibrator in dieser Lage auch nach dem Ende des Triggerimpulses verbleibt. Der über die Widerstände R2 und R3 fließende Strom lädt, wie das Bild 7.5 zeigt, jetzt den zeitbestimmenden Kondensator C2 so lange auf, bis die Spannung an dem mit R3 verbundenen Belag von C2 die Umschaltspannung des AND-Gatters G3



G1,G2 U 102 D
G3 U 107 D
D1,D2 SAY 32

Bild 7.4 Monostabiler Multivibrator mit 2 NOR- und einem AND-Gatter

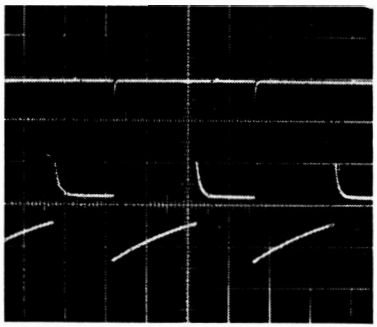


Bild 7.5
Oszillogramme zu Bild 7.4. Oben: Triggerimpulse an der Anode von D1; unten: Spannungsverlauf am Verbindungspunkt von C2 und R3

erreicht. Der Pegel an seinem Ausgang springt dann von **L** auf H, und der monostabile Multivibrator kippt in seinen Ruhezustand zurück. Der Ausgang des Gatters G2 schaltet auf H-Potential um, und der Kondensator C2 entlädt sich über den Gatterausgang von G2, den Widerstand R3 und die Diode D2 relativ schnell. Eine Berechnung der Kippdauer kann mit folgender Näherung vorgenommen werden:

$$\mathbf{t} \approx (R2 + R3) \cdot C2 \cdot \ln \frac{-U_{OLG2}}{-U_{UG3}} = (R2 + R3) \cdot C2 \cdot 0{,}96 \qquad (9)$$

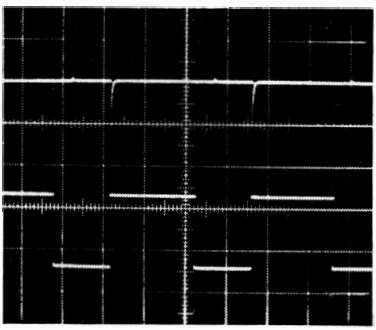
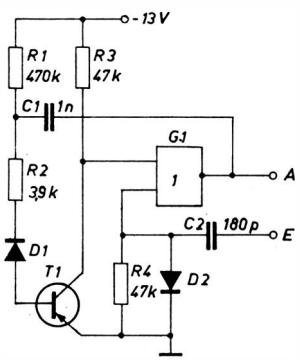


Bild 7.6
Oszillogramme zu Bild 7.4. Oben: Triggerimpulse an der Anode von D1; unten: Ausgangsimpulse an **A**

7.2. Monostabile Multivibratoren mit MOS-Gattern und zusätzlichen MOSFET und bipolaren Transistoren

Wenn z. B. innerhalb der Gesamtschaltung gerade noch ein Gatter zur Verfügung steht, ist es vorteilhaft, monostabile Multivibratoren mit diesem einen Gatter und einem zusätzlichen bipolaren pnp-Transistor zu verwirklichen. Eine mögliche Variante zeigt Bild 7.7. In der Ruhelage leitet der Transistor T1, und der mit seinem Kollektor verbundene Eingang des NOR-Gatters führt H-Pegel. Über R4 befindet sich auch der 2. Gattereingang von G1 auf diesem Pegel, so daß am Ausgang von G1 L-Pegel anliegt. Der zeitbestimmende Kondensator C1 ist fast auf den Spannungswert des L-Pegels aufgeladen. Wie schon bei den zuvor besprochenen Schaltungen wird auch der Monovibrator (Bild 7.7) mit einem L-Impuls am Triggereingang von G1 umgekippt. Der Ausgang dieses Gatters schaltet dabei auf H-Potential um. Der aufgeladene Kondensator C1 liegt danach der Basis-Emitter-Strecke von T1 parallel, so daß die Spannung über C1 als Sperrspannung für T1 wirksam wird. Die zulässige Sperrspannung für die Basis-Emitter-Strecke beträgt bei Silizium-Planartransistoren meist nur maximal 5 V. Es



G1 U 106 D
D1,D2 SAY 32

Bild 7.7
Monostabiler Multivibrator mit einem NOR-Gatter und einem bipolaren pnp-Transistor

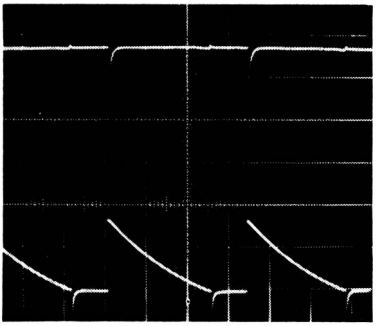


Bild 7.8
Oszillogramme zu Bild 7.7. Oben: Triggerimpulse an der Anode von D1; unten: Spannungsverlauf am Verbindungspunkt von R1 und R2

ist deshalb zusätzlich die Diode D1 erforderlich, die einen Durchschlag der Basis-Emitter-Strecke von T1 in Sperrrichtung unterbindet. Wenn T1 sperrt, führt sein Kollektoranschluß L-Pegel, und der Gatterausgang bleibt auch nach dem Ende des Triggervorgangs auf H-Potential. In dieser Lage verharrt der monostabile Multivibrator so lange, bis der Kondensator C1 umgeladen ist (Bild 7.8). Bei dem Musteraufbau betrug die gemessene Kippzeit 0,33 ms. Die Spannung am Verbindungspunkt der Widerstände R1 und R2 steigt, von hohen positiven Werten beginnend, so lange in negativer Richtung an, bis sie den Wert der Schwellspannung von T1 plus der Flußspannung der Diode D1 erreicht. Der Transistor T1 leitet dann wieder, und die Schaltung

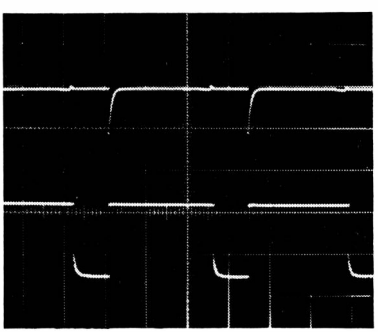


Bild 7.9
Oszillogramme zu Bild 7.7. Oben: Triggerimpulse an der Anode von D1; unten: Ausgangsimpulse an A

kippt in ihre Ruhelage zurück. Nach dem Aufladen des Kondensators C1 über den Ausgang von G1, R2, D1 und die Basis-Emitter-Strecke von T1 kann der monostabile Multivibrator erneut getriggert werden. Für die Kippdauer gilt die Gleichung:

$$t \approx (R1 + R2) \cdot C1 \cdot \ln \frac{-U_2 - U_{OLG1} + U_{BET1} + U_{FD1} + U_{OHG1}}{-U_2 + U_{BET1} + U_{FD1}}$$

$$t \approx (R1 + R2) \cdot C1 \cdot 0{,}7 \qquad (10)$$

Die in Bild 7.10 vorgestellte Schaltung eines Monovibrators besteht aus einem RS-Flip-Flop, das von R2 bis R4, C2, D2 und T1 so gesteuert wird, daß sich eine monostabile Arbeitsweise ergibt. Im Ruhezustand führt das mit den NOR-Gattern G1 und G2 verwirklichte RS-Flip-Flop am Ausgang A L-Pegel. Der zeitbestimmende Kondensator C2 ist dann aufgeladen, und der MOSFET T2 befindet sich im leitenden Zustand. Der mit dem Drain von T1 verbundene Gatteran-

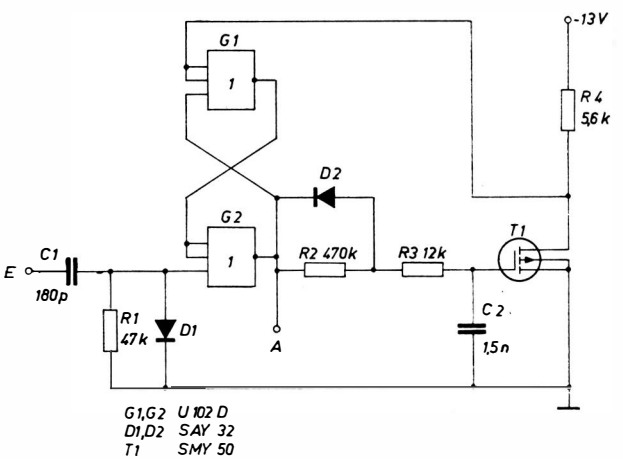


Bild 7.10 Monostabiler Multivibrator aus einem RS-Flip-Flop und zusätzlichem MOSFET

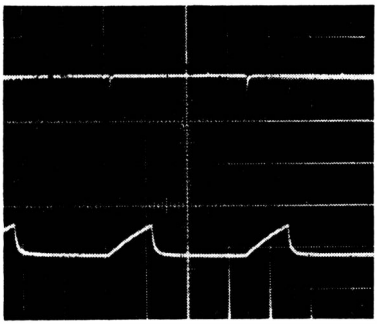


Bild 7.11
Oszillogramme zu Bild 7.10. Oben: Triggerimpulse an der Anode von D1; unten: Spannungsverlauf über C2

schluß G1 liegt deshalb auf H-Potential. Die H-L-Flanke eines an E ankommenden Triggerimpulses kippt das RS-Flip-Flop in seine zweite stabile Lage, bei der der Ausgang von G2 auf H- und der von G1 auf L-Pegel springt. In diesem Schaltungszustand entlädt sich der Kondensator C2, wobei als Entladewiderstand die Reihenschaltung von R2 plus R3 wirkt. Wenn die Entladung so weit fortgeschritten ist, daß die über C2 liegende Spannung die Schwellspannung des MOSFET T1 unterschreitet, sperrt dieser. Der Spannungspegel an seinem Drain springt dann auf L, und das RS-Flip-Flop schaltet in den Anfangszustand zurück. Danach lädt sich der Kondensator C2 über den Gatterausgang von G2, die in Durchlaßrichtung gepolte Diode D2

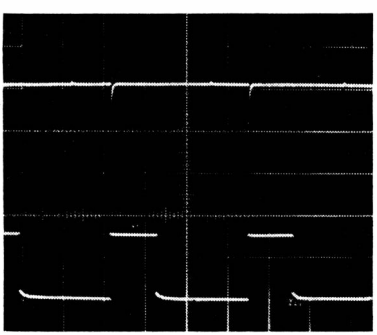


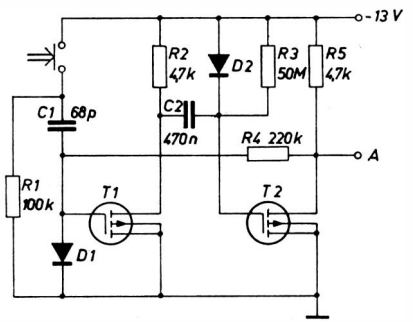
Bild 7.12
Oszillogramme zu Bild 7.10. Oben: Triggerimpulse an der Anode von D1; unten: Ausgangsimpulse an A

und den Widerstand R3 auf die Spannung U_{OLG2} auf. Während dieses Ladevorganges darf die Schaltung nicht erneut getriggert werden, weil sonst die Kippzeit kürzer als erwartet sein würde. Die Berechnung der Kippdauer ist mit folgender Gleichung näherungsweise möglich:

$$t \approx (R2 + R3) \cdot C2 \cdot \ln \frac{-U_{OLG2}}{-U_{TT1}}$$

$$t \approx (R2 + R3) \cdot C2 \cdot 0{,}96 \qquad (11)$$

Die praktisch erprobte Schaltung hatte eine Kippzeit von 0,63 ms. Bild 7.11 und Bild 7.12 verdeutlichen die wichtigsten Impulsformen des monostabilen Multivibrators .
Bild 7.13 zeigt einen Stromlaufplan für einen Monovibrator, der sich durch eine besonders lange Kippzeit auszeichnet. Als aktive Elemente wurden die beiden MOSFET des *SMY 51* verwendet. Die Kippdauer des erprobten Musters betrug bei der angegebenen Dimensionierung 11,5 s. Im Ruhezustand sperrt der Transistor T1, und T2 leitet. Der Kondensator C2 ist nicht geladen, weil seine beiden Beläge auf gleichem Spannungspotential liegen. Mit dem Drücken der Taste Ta erhält das Gate von T1 einen kurzen L-Impuls, der T1 in den leitenden Zustand steuert. Dabei erfolgt



T1,T2 SMY 51
D1,D2 SAY 32

Bild 7.13. Langzeitmonovibrator mit dem Dual-MOSFET *SMY 51*

am Drain des Transistors T1 ein Spannungssprung von L- in Richtung H-Potential, den der Kondensator C2 vollständig auf das Gate des Transistors T2 überträgt, so daß dieser sperrt. Der Ausgang A des monostabilen Multivibrators springt auf L-Pegel, den der Widerstand R4 dem Gate des Transistors T1 zuleitet. In diesem Schaltzustand verweilt der Monovibrator so lange, bis sich der Kondensator C2 über den Widerstand R3 auf den Wert der Schwellspannung von T2 aufgeladen hat. Dann leitet T2 wieder, seine Drainspannung bewegt sich in Richtung H-Pegel, und T1 kann nicht mehr im leitenden Zustand gehalten werden, so daß der monostabile Multivibrator in seine Ruhelage zurückkippt. Anschließend entlädt sich der Kondensator C2 über den Drainwiderstand R2 von T1 und die Diode D2. Der Ladewiderstand ist in der dargestellten Schaltung sehr hochohmig. Der Reststrom der Diode D2, die während der monostabilen Phase in Sperrichtung betrieben wird, darf deshalb nur sehr klein sein. Am Ende der Aufladung beträgt der Ladestrom für den Kondensator nur noch etwa 160 nA. Damit die Diode keinen zu großen Fehler verursacht, muß deren Sperrstrom bei einer Sperrspannung von etwa 8 V erheblich unter diesem Wert liegen. Eine Selektion ist deshalb manchmal erforderlich. Für die Kippzeit des monostabilen Multivibrators gilt die folgende Gleichung mit guter Genauigkeit:

$$t \approx R3 \cdot C2 \cdot \ln \frac{-U_2}{U_{TT2} - U_2} = R3 \cdot C2 \cdot 0{,}49 \qquad (12)$$

8. Astabile Kippschaltungen

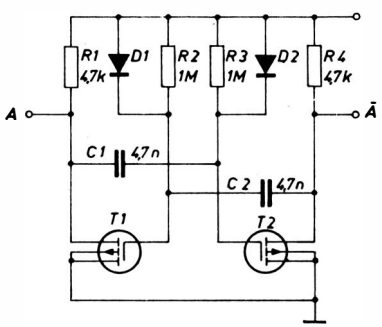
Astabile Kippschaltungen oder auch Multivibratoren sind oft benötigte Baugruppen digitaler Geräte. Charakteristisch für solche Generatoren ist, daß sie meist eine Spannung mit rechteckförmigem Kurvenverlauf erzeugen, wobei die Taktfrequenz von einem oder auch mehreren RC-Gliedern abhängt. Die Frequenzstabilität solcher freischwingender Generatoren ist meist nicht sehr groß. Man kann kompensierende Maßnahmen vorsehen, die zumindest den Einfluß der aktiven Bauelemente auf die Stabilität der erzeugten Frequenz in Abhängigkeit von der Umgebungstemperatur und der Speisespannung mindern. Für viele Anwendungen ist aber eine hohe Stabilität der Taktfrequenz nicht notwendig, so daß für solche Zwecke die angegebenen Taktgeneratoren eine ökonomische Lösung darstellen. Für hochkonstante Generatoren sind quarzstabilisierte Taktgeneratoren sehr zweckmäßig, die am Schluß dieses Abschnittes näher beschrieben werden.

8.1. Impulsgeneratoren mit den Bauelementen SMY 51 und U 105 D

Bei astabilen Kippschaltungen mit den Bauelementen *SMY 51* und *U 105 D* haben die Parameter der aktiven Bauelemente einen erheblich geringeren Einfluß auf die Frequenz der erzeugten Rechteckspannung als bei Kippschaltungen mit Gattern. Ursache dafür ist die Auslegung der Ausgangsstufen der MOS-Gatter, bei denen oft der L-Pegel erheblich schwankt. Für den Amateur ist das insofern von Bedeutung, weil er bei einem Taktgenerator mit Einzel-MOSFET die abgegebene Frequenz mit erheblich größerer Genauigkeit rechnerisch vorhersagen kann, als das bei Ge-

neratoren mit MOS-Gattern als aktive Elemente möglich ist.

Eine dem bekannten astabilen Multivibrator sehr ähnliche Schaltung, die eine weitgehend symmetrische Rechteckspannung mit einer Frequenz von 220 Hz liefert, zeigt das Bild 8.1. Beim Anlegen der Speisespannung sind zunächst die Kondensatoren C1 und C2 nicht geladen. Die Gatespannungen werden negativer als die Schwellspannungen der Transistoren T1 und T2, so daß diese im Bereich hoher Verstärkung arbeiten. Es genügt dann eine geringe statische Schwankung, um den Kippvorgang zu starten. So soll z. B. T1 in den leitenden Zustand versetzt werden. Der Ausgang A führt dann H-Pegel. T2 sperrt, weil die Spannung an seinem Gate wesentlich kleiner als die Schwellspannung ist. Innerhalb dieses Schaltungszustandes lädt sich jetzt der Kondensator C1 über den Widerstand R3 auf eine negative Spannung auf. In dem Moment, in dem die Spannung dieser Gate von T2 dessen Schwellspannung erreicht, beginnt dieser zu leiten. Die Spannung am Ausgang $\bar{A}$ sinkt dadurch von L- auf H-Pegel. Gleichzeitig sorgt der nichtgeladene Kondensator C2 für die Übertragung des H-Potentials auf das Gate des MOSFET T1, der deshalb sperrt. In dieser Halbperiode lädt sich nun C2 über R2 auf eine negative



T1,T2 SMY 51
D1,D2 SAY 32

Bild 8.1
Astabiler Multivibrator

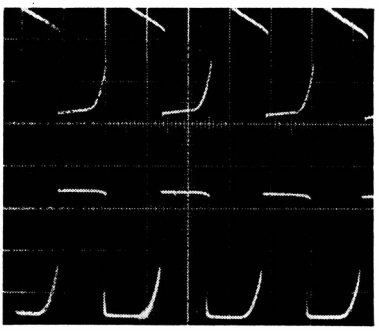


Bild 8.2
Oszillogramme zu Bild 8.1. Oben: Spannungsverlauf am Gate von T1 (Maßstab: 5 V/RE); unten: Ausgangsspannung an A (Maßstab: 5 V/RE); die Speisespannung betrug bei dieser Aufnahme – 15 V

Spannung auf. Gleichzeitig entlädt sich C1 über R1 und D2. Erreicht nun die Spannung über C2 die Schwellspannung von T1, so kippt der Multivibrator wieder in die angenommene Ausgangslage zurück. Bild 8.2 zeigt die Spannungsverläufe an wesentlichen Schaltungspunkten. Für die Auswahl der Dioden D1 und D2 gelten die schon in Abschnitt 7. erwähnten Gesichtspunkte. Zur Berechnung der Frequenz der Ausgangsrechteckspannung an A oder $\overline{A}$ können die Sperrzeiten t_1 und t_2 der Transistoren T1 und T2 herangezogen werden:

$$t_1 \approx R2 \cdot C2 \cdot \ln \frac{-U_2}{U_{TT1} - U_2} = R2 \cdot C2 \cdot 0{,}49 \qquad (13)$$

$$t_2 \approx R3 \cdot C1 \cdot \ln \frac{-U_2}{U_{TT2} - U_2} = R3 \cdot C1 \cdot 0{,}49 \qquad (14)$$

$$t = \frac{1}{t_1 + t_2} \qquad (15)$$

Bild 8.3 zeigt einen sehr einfachen Taktgenerator, der mit nur einem frequenzbestimmenden Kondensator auskommt und sich durch eine extrem gute Anschwingsicherheit auszeichnet. Die Frequenz der erzeugten Rechteckspannung konnte mit dem Potentiometer P1 von 1,7 kHz bis 10 kHz verändert werden. Der Taktgenerator besteht aus der in Abschnitt 5.1., Bild 5.1, vorgestellten Triggerschaltung, die

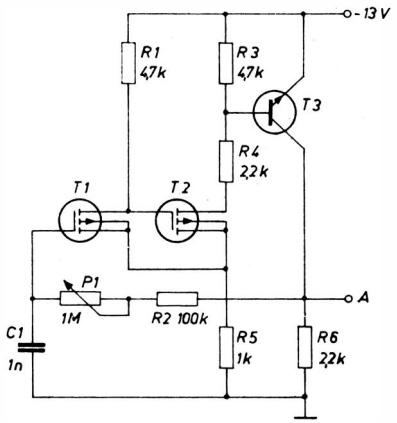


Bild 8.3
Taktgenerator mit dem Dual-MOSFET *SMY 51* und einem zusätzlichen npn-Transistor

nur mit den Bauelementen C1, P1 und R2 zur Generatorschaltung erweitert wurde. Nach dem Anlegen der Betriebsspannung ist der Trigger wegen des nichtgeladenen Kondensators zunächst ausgeschaltet, und die Spannung an seinem Ausgang ist gleich dem L-Pegel von — 13 V. Der Kondensator C1 lädt sich nun über die Widerstände P1 und R2 so lange auf, bis die Spannung über C1 gleich der Einschaltspannung des Triggers ist und dieser umschaltet. Die Spannung am Ausgang springt augenblicklich auf H-Potential. Jetzt entlädt sich C1 so lange, bis die Spannung über ihm die Ausschaltspannung des Triggers erreicht. Dieser kippt in die ursprüngliche Lage, und die beschriebenen Vorgänge beginnen von vorn. Das Ergebnis dieser Arbeitsweise sind eine Rechteckspannung am Ausgang des Triggers und eine dreieckförmige Spannung über dem Kondensator C1, wie das Bild 8.4 zeigt. Der Spitze-Spitze-Wert der Dreieckspannung über C1 ist gleich dem Betrag der Triggerhysterese. Die Generatorfrequenz kann recht genau berechnet werden, wenn man die Einschaltspannung und die

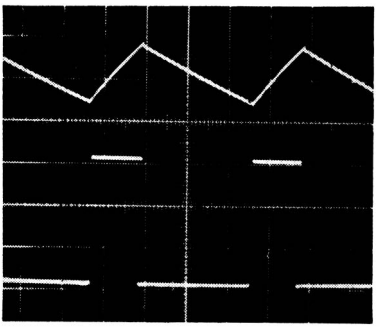


Bild 8.4
Oszillogramme zu Bild 8.3. Oben: Spannungsverlauf über C1 (Maßstab: 1 V/RE); unten: Ausgangsimpulse an A (Maßstab: 5 V/RE); die Speisespannung betrug bei dieser Aufnahme − 15 V

Ausschaltspannung des Triggers meßtechnisch ermittelt. Für die Auf- und Entladezeiten gelten dann die Gleichungen:

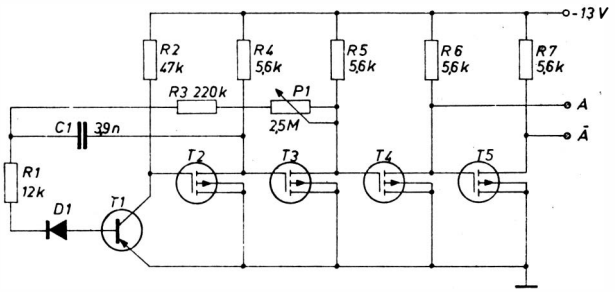
$$t_{auf} \approx (P1 + R2) \cdot C1 \cdot \ln \frac{U_{aus} - U_2}{U_{ein} - U_2} \tag{16}$$

$$t_{ent} \approx (P1 + R2 + R6) \cdot C1 \cdot \ln \frac{-U_{ein}}{-U_{aus}} \tag{17}$$

Mit den Lösungen der Gleichungen (16) und (17) läßt sich die Generatorfrequenz bestimmen:

$$f = \frac{1}{t_{auf} + t_{ent}} \tag{18}$$

Eine sehr zuverlässige Generatorschaltung, bei der praktisch keine Rückwirkung durch eine angeschlossene Last erfolgt, kann man mit der IS *U 105 D* und einem bipolaren pnp-Transistor entsprechend dem Bild 8.5 aufbauen. Der erprobte Generator lieferte eine unsymmetrische Impulsfolge mit einer durch P1 veränderlichen Frequenz von 170 Hz bis 1 kHz. Für die eigentliche Generatorschaltung sind nur die MOSFET T1 bis T3 zuständig, während T4 und T5 als Trennstufen fungieren. Der Kondensator C1 ist nicht geladen, wenn die Speisespannung zugeschaltet wird. Dadurch leitet der Transistor T1, T2 sperrt, und sein Drain-



T1	BC 256
T2...T5	SMY 51
D1	SAY 32

Bild 8.5 Impulsgenerator mit dem Baustein *U 105 D*

potential ist negativer als die Schwellspannung von T3, der deshalb leitet. Jetzt lädt sich der Kondensator C1 über die Widerstände R1, R4, die Diode D1 und die Basis-Emitter-Diode von T1 auf. Der Ladestrom wirkt dabei als Basisstrom für den Transistor T1, der deshalb, wie oben angenommen, leitend ist. Mit zunehmender Aufladung verringert sich der Ladestrom schließlich so weit, daß T1 nicht mehr im leitenden Zustand verbleiben kann. Die Kollektorspannung steigt in negativer Richtung an und führt zum Schalten der beiden nachfolgenden Transistoren T2 und T3. Dabei springt die Drainspannung von T3 auf L-Pegel, und der geladene Kondensator C1 wird von T2 so parallel zur Basis-Emitter-Strecke von T1 geschaltet, daß die über C1 liegende Spannung als Sperrspannung für T1 wirkt. Die Diode D1 verhindert einen Durchbruch der in Sperrichtung betriebenen Basis-Emitter-Diode. In dieser Lage befindet sich der Generator so lange, bis der Kondensator C1 über die Widerstände R3, P1 und R5 so weit umgeladen ist, daß T1 wieder zu leiten beginnt. Der Generator kippt dann wieder in die zu Beginn beschriebene Lage, bei der sich C1 auflädt. Es entstehen Impulse, wie sie die Oszillogramme in Bild 8.6 darstellen. Der Widerstand R1 darf bei dieser Schaltung nicht beliebig verkleinert werden. Es muß im-

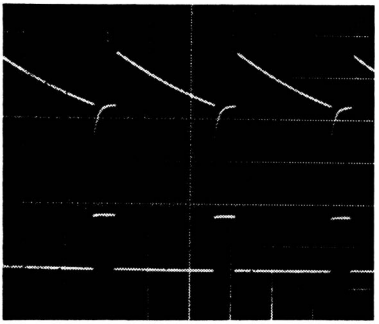


Bild 8.6
Oszillogramme zu Bild 8.5. Oben: Spannungsverlauf am Verbindungspunkt von R1 und R3; unten: Ausgangsimpulse an $\overline{A}$

mer sichergestellt sein, daß auch zu Beginn der Aufladung von C1 die Spannung am Drain von T2 negativer als die Schwellspannung des Transistors T3 ist. Daraus folgt für R1:

$$R1 > R4 \cdot \frac{-U_{TT3}}{-U_2 + U_{TT3}} \tag{19}$$

Die Dauer der schmalen H-Impulse am Ausgang A wird von der Zeit bestimmt, die für die Aufladung von C1 notwendig ist. Diese Zeit läßt sich rechnerisch nur sehr ungenau ermitteln. Praktische Versuche führen schneller zum Ziel. Erheblich genauer kann man dagegen die Zeit zwischen den einzelnen Impulsen berechnen. Es gilt die Beziehung:

$$t \approx (R3 + R5 + P1) \cdot C1 \cdot \ln \frac{-2 \cdot U_2 + U_{BET1} + U_{FD1}}{-U_2 + U_{BET1} + U_{FD1}}$$

$$t \approx (R3 + R5 + P1) \cdot C1 \cdot 0{,}74 \tag{20}$$

8.2. Impulsgeneratoren mit Gattern der Schaltkreise U 102 D, U 106 D und U 107 D

Dieser Abschnitt beschreibt einfache astabile Kippschaltungen, die als aktive Elemente NOR-, AND- und NAND-Gatter der Schaltkreisserie *U 10* enthalten. Schon in der Einlei-

tung zum Abschnitt 8.1. wurde darauf verwiesen, daß bei Impulsgeneratoren, die als aktive Elemente MOS-Gatter verwenden, die Frequenz der erzeugten Rechteckspannung z. T. erheblich von dem berechneten Wert abweichen kann. Ursache sind die MOS-Gatter und besonders die Auslegung der Endstufe, deren L-Pegel manchmal erheblich schwankt. Trotzdem sind die nachstehenden Schaltungen oft brauchbar, wenn man eine Einstellmöglichkeit für die Frequenz vorsieht. Vorteilhaft ist der meist geringe Aufwand an passiven Bauelementen gegenüber den in Abschnitt 8.1. vorgestellten Generatoren.

Eine der astabilen Kippschaltung in Bild 8.1 sehr ähnliche Generatorschaltung zeigt der Stromlaufplan in Bild 8.7. Die Arbeitsweise dieses Generators ist identisch mit der des Multivibrators in Bild 8.1. Die Kippfrequenz folgt der Näherung:

$$f \approx \frac{2}{(R1 \cdot C2) + (R2 \cdot C1)} \qquad (21)$$

Am Musteraufbau wurde eine Frequenz von 320 Hz gemessen.

Bild 8.8 stellt eine recht einfache Generatorschaltung mit 2 NOR-Gattern vor. Mit P1 konnte die Frequenz der Ausgangsrechteckspannung zwischen 200 Hz und 4,4 kHz verändert werden. Bei zunächst ungeladenem Kondensator C1 führt der Ausgang des Gatters G1 L-Pegel, und demzufolge

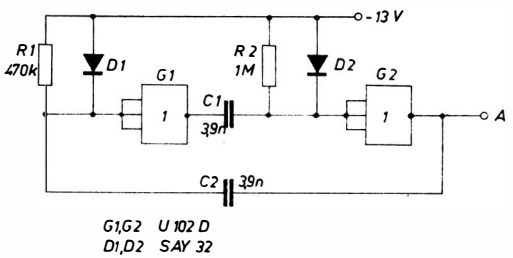
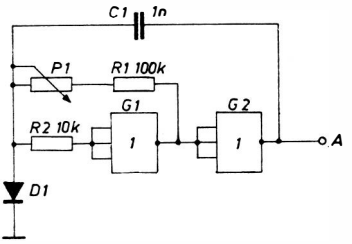


Bild 8.7 Astabiler Multivibrator mit NOR-Gattern



G1,G2 U 102 D
D1 SAY 32
P1 2,5 M

Bild 8.8
Einfacher Taktgenerator mit nur einem frequenzbestimmenden *RC*-Glied

befindet sich der Ausgang von G2 auf H-Potential. Über die Widerstände P1 und R1 fließt ein Ladestrom, der den Kondensator C1 auflädt. Die Diode D1 sperrt, und der Eingang von G1 führt zu Beginn des Ladevorganges H-Potential. Die Ladung von C1 dauert so lange, bis die Spannung über ihm den Wert der Gatterumschaltspannung erreicht. Beide Gatter G1 und G2 wechseln dann ihren Schaltzustand. Der Ausgang von G2 springt dabei auf L-Pegel, und H-Potential liegt am Ausgang von G1. Am Eingang des Gatters G1 liegt jetzt eine negative Spannung, deren Wert gleich der Summe aus dem L-Pegel des Gatters G2 plus der Umschaltspannung von G1 ist. Über R1 und P1 fließt nun solange ein Umladestrom, bis die Spannung am Eingang von G1 erneut die Umschaltspannung dieses Gatters erreicht. Der Generator kippt in die oben angegebene Lage zurück. Dabei wird die Spannung über C1 in diesem Moment etwa gleich der Differenz aus dem L-Pegel von G2 minus der Umschaltspannung des Gatters G1. Diese Spannung ist so gepolt, daß der mit der Anode von D1 verbundene Kondensatorbelag positiv aufgeladen wird. Nach dem Zurückschalten leitet deshalb für kurze Zeit D1 und entlädt C1. Dann lädt sich der Kondensator C1 über R1 und P1, wie zu Beginn der Beschreibung schon gesagt, wieder bis zur Umschaltspannung des Gatters G1 auf. Die Oszillogramme in Bild 8.9 zeigen die Impulsformen an 2 Schaltungspunkten des Generators.

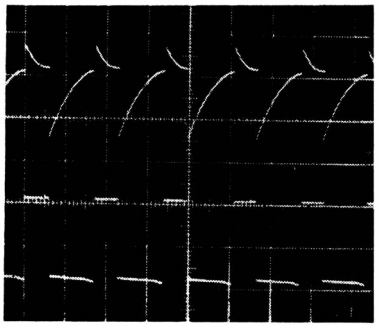


Bild 8.9
Oszillogramme zu Bild 8.8. Oben: Spannungsverlauf an der Anode von D1; unten: Ausgangsimpulse an A

Die Generatoren in Bild 8.10 und Bild 8.12 sind aus einem Millerintegrator und einem Stromtrigger zusammengeschaltet. Dieses Wirkungsprinzip kann mit MOS-Schaltkreisen sehr günstig realisiert werden. Mit TTL-Schaltkreisen lassen sich die vorgestellten Generatoren nur mit zusätzlichen externen Bauelementen aufbauen. Die Arbeitsweise soll am Beispiel des Generators in Bild 8.10 beschrieben werden: Als Millerintegrator arbeitet das NAND-Gatter G1, während G2 einen Stromtrigger mit großer Hysterese darstellt. Der Trigger ist so dimensioniert, daß sowohl seine Einschalt- als auch seine Ausschaltspannung im Bereich der möglichen Ausgangsspannungen des Gatters G1 liegen. Der Stromtrigger soll zunächst noch ausgeschaltet sein, d. h.,

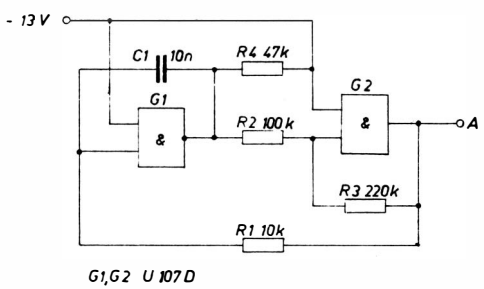


Bild 8.10 Taktgenerator mit dem Baustein *U 107 D*

die Ausgangsspannung des Gatters G1 ist nur gering negativ. Am Ausgang des AND-Gatters G2 ist deshalb H-Pegel meßbar. Über R1 fließt in den Summationspunkt des Integrators (Verbindungspunkt von R1 und C1) ein Strom, der versucht, den Ausgang von G1 auf L-Pegel zu schalten. Die Ausgangsspannung kann sich aber nur entsprechend der Aufladung von C1 in Richtung L-Potential bewegen. Der Spannungspegel des Summationspunktes ist etwa gleich der Gatterumschaltspannung des Gatters G1 und ändert sich während der Ladung von C1 nur wenig, so daß der Strom, der C1 lädt, weitgehend konstant bleibt. Diese Aussage gilt wegen der relativ geringen Spannungsverstärkung des NAND-Gatters nur näherungsweise. Trotzdem steigt, wie man dem Bild 8.11 entnimmt, die Spannung am Ausgang von G1 weitgehend zeitlinear in negativer Richtung an, wenn sich der Triggerausgang auf H-Pegel befindet. Überschreitet die Spanung am Ausgang von G1 die Triggereinschaltspannung, kippt der Stromtrigger in seinen zweiten stabilen Zustand. Am Ausgang von G2 liegt dann L-Potential, und die Richtung des Stromes durch R1 wechselt. Jetzt fällt die Spannung am Ausgang von G1 von hohen negativen Werten in Richtung geringerer negativer Spannungspegel. Die Periode endet mit dem Erreichen der Ausschaltspannung des Stromtriggers. Dieser schaltet in den oben angenommenen Zustand zurück, und die beschriebenen Vor-

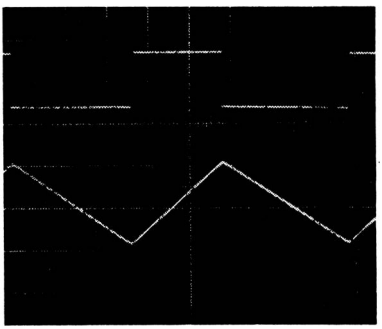


Bild 8.11
Oszillogramme zu Bild 8.10. Oben: Ausgangsimpulse an A; unten: Ausgangsspannung am Ausgang von G1

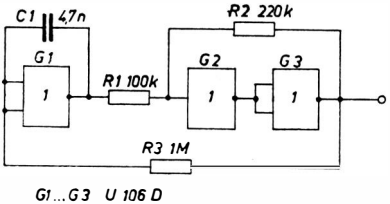


Bild 8.12 Taktgenerator mit dem Baustein *U 106 D*

gänge beginnen von neuem. Maßgeblich für die Frequenz der dreieckförmigen Spannung am Ausgang von G1 bzw. der Rechteckspannung am Ausgang von G2 sind die Umladezeiten t_1 und t_2 des Kondensators C1. Für t_1, in dieser Zeit liegt am Ausgang des Triggers H-Pegel, und für t_2, der Ausgang von G2 führt dann L-Potential, gelten die Näherungen:

$$t_1 \approx \frac{-U_{hys} \cdot C1 \cdot R1}{-U_{UG1}} \tag{22}$$

$$t_2 \approx \frac{-U_{hys} \cdot C1 \cdot R1}{U_{OLG2} - U_{UG1}} \tag{23}$$

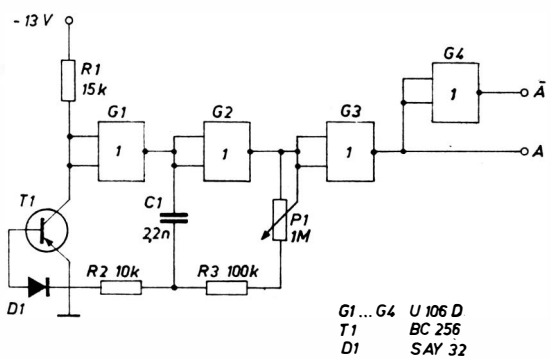
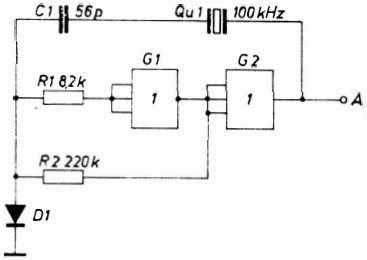


Bild 8.13 Impulsgenerator

Damit kann man die Generatorfrequenz ermitteln. Die beschriebene Schaltung eignet sich besonders für die Verwirklichung elektronisch arbeitender Tonfolgegeneratoren, weil in der Dreieckspannung nur wenig Oberwellen enthalten sind, so daß der Filteraufwand zur Aussiebung der sinusförmigen Grundwelle gering bleibt. Der in Bild 8.12 gezeigte Generator unterscheidet sich vom Generator in Bild 8.10 nur durch die ausschließlich verwendeten NOR-Gatter. Die Funktionsweise ist sonst mit der in Bild 8.10 identisch. Gleiches gilt für den in Bild 8.13 gezeigten Impulsgenerator, dessen Wirkungsweise identisch der des Generators in Bild 8.5 ist.

8.3. Quarzstabilisierte Taktgeneratoren

Quarzstabilisierte Taktgeneratoren sind immer dann erforderlich, wenn die Taktfrequenz sehr genau reproduzierbar sein muß und zusätzlich weitgehend unabhängig von Änderungen der Speisespannung und der Umgebungstemperatur sein soll. Typische Anwendungsbeispiele für solche Generatoren sind Digitaluhren sowie Zeitbasisgeneratoren in digitalen Meßgeräten.
Quarzgeneratoren mit NOR- und AND-Gattern in MOS-Technik können mit zahlreichen Möglichkeiten realisiert werden. Bild 8.14 bis Bild 8.16 zeigen 3 erprobte Varianten. Der Quarzoszillator in Bild 8.14 ähnelt stark dem astabilen Multivibrator in Bild 8.8. Anstelle des dort zur Festlegung der Generatorfrequenz notwendigen Kondensators bestimmt in Bild 8.14 der Quarz Qu 1 die Frequenz der erzeugten Rechteckspanung an A. Der Quarz arbeitet in Reihenresonanz, wobei mit dem Kondensator C1 die Frequenz der Ausgangsspannung in engen Grenzen veränderlich ist. Durch den Widerstand R2 stellt sich die negative Spannung am Ausgang des Gatters G1 automatisch auf den Wert der Gatterumschaltspannung ein. Die beiden Gatter werden deshalb im steilen Gebiet ihrer Umschaltkennlinie betrieben. Der Generator in Bild 8.15 gleicht weitgehend der konven-



G1,G2 U 102 D
D1 SAY 32

Bild 8.14
Quarzstabilisierter Impulsgenerator

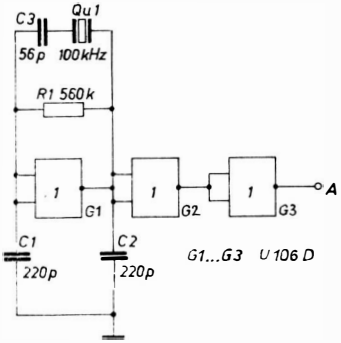
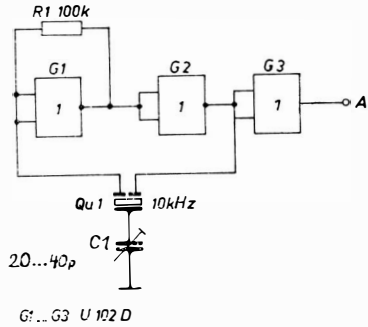


Bild 8.15
Quarzstabilisierter Taktgenerator



G1...G3 U 102 D

Bild 8.16
Quarzstabilisierter Taktgenerator für mehrpolige Quarze

tionellen Quarzoszillatorschaltung mit einem invertierenden Spannungsverstärker als aktivem Element. Die beiden Kondensatoren C1 und C2 vergrößern die Eingangskapazitäten der beiden als Inverter benutzten Gatter G1 und G2. Mit dem Widerstand R1 wird der optimale Arbeitspunkt eingestellt. Die Schaltung zeichnet sich durch eine gute Anschwingsicherheit aus. Manchmal soll der Quarzgenerator auf einer möglichst niedrigen Frequenz arbeiten, damit z. B. bei Digitaluhren die Zahl der notwendigen Frequenzteiler gering bleibt. Quarze mit Arbeitsfrequenzen von 1 kHz bis 40 kHz sind nahezu immer mehrpolige Biegeschwinger. Für diese zeigt das Bild 8.16 eine geeignete Oszillatorschaltung.

9. NF- und Gleichspannungsverstärker mit MOSFET und MOS-Gattern

Normalerweise sind die p-Kanal-MOSFET *SMY 50* bis *SMY 52* und die integrierte Schaltung *U 105 D* als Ergänzungsbauelemente der digitalen Schaltkreisserie *U 10* vorgesehen. Vom Hersteller werden deshalb auch für die genannten Bauelemente nur die technischen Daten garantiert, die für den Einsatz in digitalen Schaltungen wichtig sind. Zusätzlich gibt der Hersteller aber sogenannte Informationskennwerte an, die bei analogen Anwendungen der Ergänzungstransistoren Bedeutung haben. Zu diesen Angaben sind auch die in Bild 2.21 bis Bild 2.24 dargestellten Kennlinien zu zählen, denen einige, für die nachstehenden Anwendungsbeispiele wichtige, Angaben zu entnehmen sind. Bei den selbstsperrenden MOSFET fließt, solange die negative Gate-Source-Spannung unterhalb eines bestimmten Wertes liegt, kein oder nur ein geringer Drainstrom. Als Schwellspannung wird aus meßtechnischen Gründen diejenige Gate-Source-Spannung bezeichnet, bei der ein Drainstrom von $-I_D = 10\ \mu A$ fließt. Bei den Transistortypen *SMY 50, SMY 51* und *U 105 D* liegt die Schwellspannung im Mittel bei $-U_T = 5\ V$. Die Schwellspannung des Transistors *SMY 52* ist geringer und beträgt typisch $-U_T = 4{,}5\ V$. Aus den Ausgangskennlinienfeldern in Bild 2.22 und Bild 2.24 ist ersichtlich, daß bei konstanter negativer Gate-Source-Spannung der Drainstrom mit zunehmender negativer Drain-Source-Spannung bei kleinen Werten dieser Spannung zunächst etwa proportional ansteigt. Der MOSFET verhält sich in diesem Spannungsbereich der Drain-Source-Spannung wie ein ohmscher Widerstand. Oberhalb einer bestimmten Spannung zwischen Drain und Source bleibt der dann fließende Drainstrom relativ konstant. Die Drain-Source-Spannung, ab der der Drainstrom weitgehend konstant bleibt, bezeichnet man als die Kniespannung. Sie kann recht einfach mit folgender Näherungsformel ermittelt werden:

$$-U_K = -U_{GS} + U_T \quad (24)$$

Die Kniespannung ist also immer etwa gleich der Differenz zwischen der für die betreffende Ausgangskennlinie konstanten Gate-Source-Spannung und der Schwellspannung. Das ist deshalb von Bedeutung, weil sich MOSFET oberhalb der Schwellspannung wie eine Pentode und unterhalb der Schwellspannung wie eine Triode verhalten. Stellt man nun den Arbeitspunkt eines in Sourceschaltung (sie entspricht der Emitterschaltung bipolarer Transistoren) betriebenen selbstsperrenden p-Kanal-MOSFET so ein, daß $-U_{DS} = -U_{GS}$ ist, so liegt die Drainspannung um den Betrag der Schwellspannung oberhalb der Kniespannung. Die Stufe ist dann ohne wesentliche Verzerrungen um den Wert von $-U_T$ in Richtung kleiner werdender Drain-Source-Spannungen aussteuerbar. Der MOSFET arbeitet dabei ständig im Pentodengebiet. Aus diesem Grund und weil außerdem der genannte Arbeitspunkt in der Schaltung sehr leicht und stabil eingestellt werden kann, ist der Arbeitspunkt $-U_{DS} = -U_{GS}$ für selbstsperrende MOSFET in Sourceschaltung oft optimal.

9.1. NF-Verstärker mit der IS U 105 D und den Transistoren SMY 50 und SMY 51

Das Bild 9.1 zeigt die wohl einfachste Verstärkerschaltung mit einem selbstsperrenden p-Kanal-MOSFET. Der Transistor T1 arbeitet in Sourceschaltung. Den Arbeitspunkt stellt

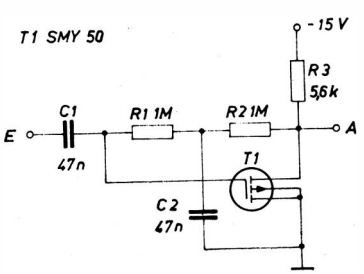


Bild 9.1
1stufiger NF-Verstärker mit einem MOSFET

eine Spannungsgegenkopplung vom Drain zum Gate so ein, daß die Bedingung $-U_{DS} = -U_{GS}$ erfüllt wird. Damit die Gegenkopplung nur für Gleichspannung wirksam ist, legt der Kondensator C2 den Verbindungspunkt der Widerstände R1 und R2 für Wechselspannungen an Masse. Der Eingangswiderstand der Stufe entspricht praktisch dem Wert von R1, weil man den Eingangswiderstand des MOSFET vernachlässigen kann. Am Musteraufbau wurde der Arbeitspunkt $-U_{DS} = 6{,}6$ V und $-I_D = 1{,}5$ mA ermittelt. Für die Spannungsverstärkung der Stufe sind die Steilheit des Transistors T1, dessen Ausgangswiderstand, der Drainwiderstand R3 und der äußere Lastwiderstand, wenn dieser nicht sehr viel größer als R3 ist, verantwortlich. Es gilt die Beziehung:

$$v = S_{T1} \cdot r_{DST1} // R3 // R_L \tag{25}$$

Bei den benutzten MOSFET liegt innerhalb des Strombereichs von $-I_D = 0{,}5$ mA bis $-I_D = 10$ mA die Steilheit zwischen $S = 0{,}5$ mA/V und $S = 3$ mA/V. Den Ausgangswiderstand kann man bei der Schaltung in Bild 9.1 gegenüber R3 vernachlässigen, so daß mit einer Spannungsverstärkung von etwa 4 gerechnet werden kann. Die erprobte Schaltung hatte eine Verstärkung von $v = 5{,}7$. Nach dem in Bild 9.1 dargestellten Prinzip lassen sich auch leicht mehrstufige Verstärker verwirklichen. Dabei muß die Stufenzahl ungerade sein, damit zwischen dem Eingang und dem Ausgang des Verstärkers eine Phasendrehung von 180° auftritt. Das ist notwendig, wenn die Arbeitspunkteinstellung aller Stufen mit einer Gleichspannungsgegenkopplung vom Ausgang auf den Eingang des Verstärkers erfolgen soll. Bild 9.2 und Bild 9.3 zeigen Verstärker nach diesem Prinzip. Die MOSFET dieser Verstärker befinden sich jeweils alle auf einem Kristall, und man kann deshalb mit gleichen Daten der Einzeltransistoren rechnen. Entsprechend der Schaltung in Bild 9.1 ist aus diesem Grund auch bei den mehrstufigen Verstärkern die Gate-Source-Spannung jedes Einzeltransistors identisch mit seiner Drain-Source-Spannung. Die Spannungsverstärkung ist gleich dem

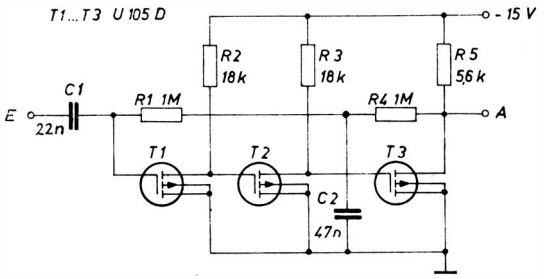


Bild 9.2 3stufiger NF-Verstärker

Produkt der Einzelverstärkungen. Bis auf die Ausgangsstufen werden alle anderen Stufen im Leerlauf betrieben, da die Eingangswiderstände der jeweils folgenden MOSFET sehr hoch sind. Das gilt natürlich nur im niederfrequenten Bereich, weil hier die Eingangskapazitäten der MOSFET gegenüber den Drainwiderständen zu vernachlässigen sind. Im praktischen Versuch stieg die Spannungsverstärkung der einzelnen Stufen an, wenn der Drainwiderstand bei konstantem Spannungsabfall über ihm vergrößert wurde. Offensichtlich steigt bei einer Verringerung des Drainstromes der Ausgangswiderstand schneller an, als die Steilheit des MOSFET mit kleiner werdendem Drainstrom absinkt. Entsprechend der Gleichung (25) muß darum die Verstärkung bei größeren Drainwiderständen ansteigen. Durch deren Auswahl läßt sich deshalb die Stufenver-

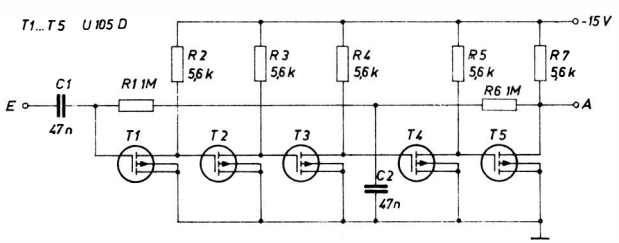


Bild 9.3 5stufiger NF-Verstärker

stärkung optimieren. Diese Möglichkeit kann aber nur bei den Vorstufen angewandt werden, weil deren äußere Lastwiderstände sehr hochohmig sind. Einige Meßergebnisse sollen das verdeutlichen: Die Leerlaufspannungsverstärkung der Schaltung in Bild 9.2 betrug v = 600. Eine Verkleinerung der Drainwiderstände R2 und R3 auf 5,6 kΩ senkte die Verstärkung auf v = 220. Mit 68 kΩ für R2 und R3 ergab sich v = 1800. Die Schaltung in Bild 9.3 hatte eine Leerlaufverstärkung von v = 5000. Bei dieser Schaltung machte sich allerdings schon das Rauschen der ersten Stufe bemerkbar.

Bei MOSFET kann innerhalb des Frequenzbereichs bis 100 kHz, also im Niederfrequenzbereich, die äquivalente Rauschspannung 10- bis 1000mal größer sein als bei Sperrschichtfeldeffekttransistoren, die bekanntlich für rauscharme NF-Vorstufen sehr gut geeignet sind. Es ist daher zu empfehlen, daß die in Vorstufen benutzten MOSFET auf geringes Rauschen ausgesucht werden. Dazu ist unter anderem für behelfsmäßige Zwecke die Schaltung in Bild 9.3 geeignet.

In vielen Anwendungsfällen sind die hohen Verstärkungsfaktoren der Schaltungen in Bild 9.2 und Bild 9.3 nicht notwendig. Es ist dann möglich, durch eine Wechselspannungsgegenkopplung die Verstärkung auf den gewünschten Wert einzustellen. Bild 9.4 zeigt eine Variante. Die Gegenkopplung erfolgt für Gleich- und Wechselspannungen über

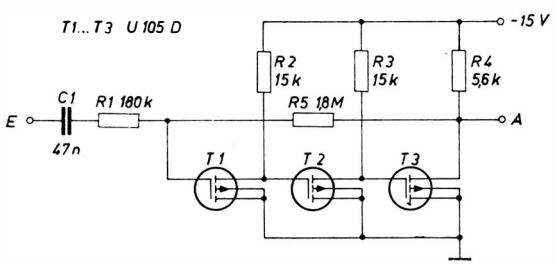


Bild 9.4 3stufiger NF-Verstärker mit Spannungsgegenkopplung

den Widerstand R5 vom Verstärkerausgang auf das Gate von T1 (Spannungsgegenkopplung). Diese Gegenkopplung sorgt für eine gute Stabilität der Verstärkung und verringert den Ausgangswiderstand. Weiterhin wirken sich Datenstreuungen der MOSFET nur wenig auf den eingestellten Verstärkungsgrad aus. Nachteilig ist das Absinken des Eingangswiderstands, der in erster Näherung gleich dem Widerstand R1 ist. Für die Spannungsverstärkung des gegengekoppelten Verstärkers gilt die folgende Beziehung:

$$v' = \frac{v \cdot R5}{R5 + v \cdot R1} \tag{26}$$

In (26) steht v für die Verstärkung des nicht gegengekoppelten Verstärkers. Bei großen Werten von v vereinfacht sich die Gleichung (26) zu:

$$v' = \frac{R5}{R1} \tag{27}$$

Sollte der gegenzukoppelnde Verstärker eine sehr hohe Leerlaufverstärkung haben, kann der Verstärker bei starker Gegenkopplung zum Schwingen neigen. Dieser Effekt tritt meist auf, wenn der Verstärker fast vollständig, d. h. auf Verstärkungswerte von etwa $v' = 5$ bis $v' = 1$, gegengekoppelt wird.

Ursache für die Schwingneigung sind Phasendrehungen des Signals innerhalb des Verstärkers. Diese Phasenverschiebungen können bei Gegenkopplung bewirken, daß aus dieser eine Mitkopplung wird und so der Verstärker schwingt. Damit dieser aber auch noch bei voller Gegenkopplung stabil arbeitet, muß dafür gesorgt werden, daß bei der Frequenz, bei der die Phasendrehung des Verstärkers insgesamt 0° beträgt, seine Spannungsverstärkung kleiner als $v = 1$ ist. Man erreicht ein solches Verhalten des Verstärkers durch sogenannte Kompensationsglieder, die die Verstärkung in Abhängigkeit von der Frequenz künstlich absenken. Die exakte Ermittlung solcher Kompensationsglieder ist sehr aufwendig und erfordert sorgfältige Messungen, die dem Amateur oft nicht möglich sind. Solange die

Leerlaufverstärkung den Wert v = 1000 unterschreitet, ist meist folgender Weg möglich: Der Frequenzgang wird mit nur einem Kompensationsglied korrigiert, das zwischen Drain von T1 und Masse liegt und aus der Reihenschaltung eines Widerstandes und eines Kondensators besteht. Der Widerstand ist dabei v-mal kleiner als der Drainwiderstand des ersten Transistors. Der Kondensator wird dann, bei Werten von etwa 100 pF bis 220 pF beginnend, so lange vergrößert, bis der Verstärker stabil arbeitet.

Bild 9.5 zeigt, wie man die Stufenverstärkung eines in Sourceschaltung betriebenen MOSFET anheben kann. Bei diesem Verstärker arbeiten T1 in Sourceschaltung und T2 in Drainschaltung, die für einen niederohmigen Ausgangswiderstand des Verstärkers sorgt. Die Arbeitspunkte der beiden Transistoren werden wie der mit einer nur für Gleichspannung wirkenden Gegenkopplung über R1 und R4 eingestellt. Wegen der für T2 notwendigen Gate-Source-Spannung ist die Drain-Source-Spannung gleich der Summe der beiden Gate-Source-Spannungen der MOSFET T1 und T2. Die gegenüber der normalen Schaltungsweise höhere Stufenverstärkung ergibt sich durch die dynamische Vergrößerung des für T1 wirkenden Lastwiderstandes R2. Das ist möglich, weil am Verbindungspunkt von R2 und R3 über C3 die Ausgangswechselspannung des Verstärkers liegt, die

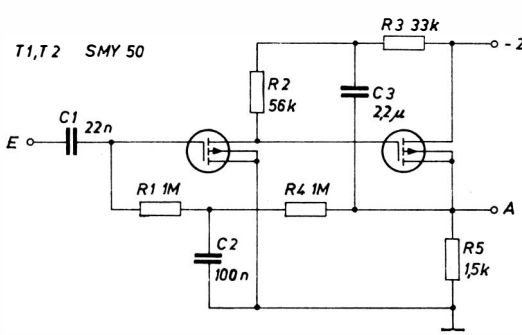


Bild 9.5 2stufiger NF-Verstärker mit hoher Spannungsverstärkung

phasengleich mit der Wechselspannung am Drain von T1 ist. Da die Spannungsverstärkung von T2 nur wenig unter $v = 1$ liegt, ist die Wechselspannung am Verbindungspunkt der Widerstände R2 und R3 nur etwas geringer als die Wechselspannung am Drain des MOSFET T1. Über R2 liegt also nur die Differenz der beiden Wechselspannungen, so daß auch der durch R2 fließende Wechselstrom entsprechend klein ist. Das bedeutet aber eine dynamische Vergrößerung von R2 auf R2'. Für die Verstärkung der Schaltung in Bild 9.5 gilt deshalb:

$$v = S_{T1} \cdot v_{T2} \cdot r_{DST1} // R2' \tag{28}$$

In (28) steht v_{T2} für die Spannungsverstärkung des Drainfolgers:

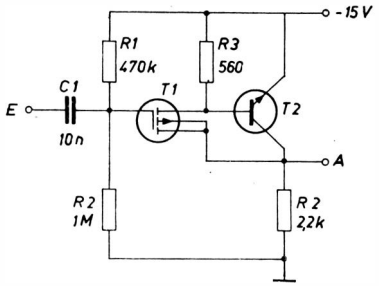
$$v_{T2} = \frac{S_{T2} \cdot R5 // R3}{S_{T2} \cdot R5 // R3 + 1} \tag{29}$$

Den Widerstand R2' erhält man mit nachstehender Gleichung:

$$R2' = \frac{R2}{(1 - v_{T2})} \tag{30}$$

Die praktisch erprobte Schaltung hatte eine Spannungsverstärkung von $v = 55$.

Eine oft benötigte Schaltungsgruppe sind Impedanzwandler. Sie weisen einmal einen hohen Eingangswiderstand und zum anderen einen möglichst niedrigen Ausgangswiderstand auf, dabei beträgt die Spannungsverstärkung etwa $v = 1$. Benutzt man für solche Aufgaben MOSFET als Sourcefolger, so befriedigen die Ergebnisse nicht immer, weil wegen der meist geringen Steilheit keine sehr niedrigen Ausgangswiderstände zu erreichen sind. Erheblich geringere Ausgangswiderstände ermöglichen Komplementärschaltungen, die je einen MOSFET und einen bipolaren npn-Transistor verwenden. Bild 9.6 und Bild 9.7 zeigen 2 Schaltbeispiele. Den Arbeitspunkt beider Schaltungen legt jeweils der Spannungsteiler mit den Widerständen R1 und R2 fest, der eine Gatespannung von -10 V bereitstellt. Der Eingangswider-



T1 SMY 50
T2 SC 236

Bild 9.6
Impedanzwandler

stand des Impedanzwandlers in Bild 9.6 folgt aus der Parallelschaltung der Widerstände R1 und R2 und ist deshalb direkt von der Größe der Spannungsteilwiderstände abhängig. Diesen Nachteil hat die Schaltung des Bildes 9.7 nicht. Hier liegt am Verbindungspunkt der Widerstände R1 und R2 die Ausgangswechselspannung des Impedanzwandlers. Dadurch wird der Widerstand R3, der die Gleichspannung dem Gate des MOSFET T1 zuleitet, dynamisch vergrößert. Am praktischen Aufbau wurde ein Eingangswiderstand von 50 MΩ bei 330 Hz gemessen.

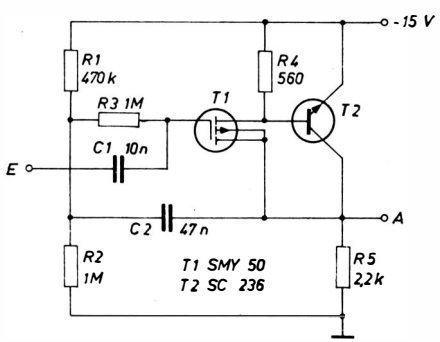


Bild 9.7 Impedanzwandler mit sehr hohem Eingangswiderstand

9.2. Gleichspannungsimpedanzwandler mit dem Dual-MOSFET SMY 51

Viele Meß- und Prüfgeräte, die Gleichspannungen verarbeiten, erfordern einen hohen Eingangswiderstand. Für solche Aufgaben sind die beiden nachstehend beschriebenen Gleichspannungsimpedanzwandler gut geeignet, deren Spannungsverstärkung etwa v = 1 beträgt. Beide Impedanzwandler sind für je eine positive und eine negative Speisespannung dimensioniert. In der einfachen Variante (Bild 9.8) arbeiten die beiden Transistoren T1 und T2 des Dual-MOSFET als Differenzverstärker. Das Gleichspannungssignal gelangt über R1 an das Gate von T1 und wird vom Differenzverstärker verstärkt. Diesem folgt der in Drainschaltung betriebene MOSFET T3, dessen Source direkt mit dem Gate von T2 verbunden ist. Das bedeutet eine vollständige Gegenkopplung, aus der auch die Verstärkung von etwa v = 1 resultiert. Die recht gute Übereinstimmung der beiden MOSFET T1 und T2 sorgt dafür, daß die Ausgangsspannung bei 0 V Eingangsspannung im Musteraufbau nur 50 mV betrug. Wird ein exakter Nullabgleich notwendig, so

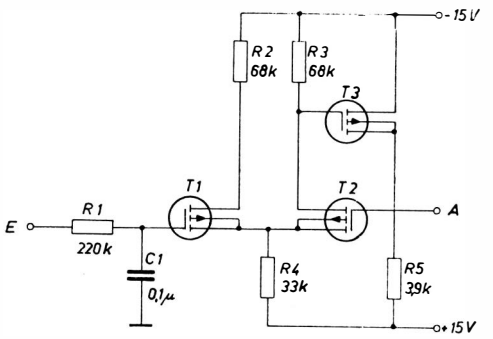


Bild 9.8 Einfacher Gleichspannungsimpedanzwandler

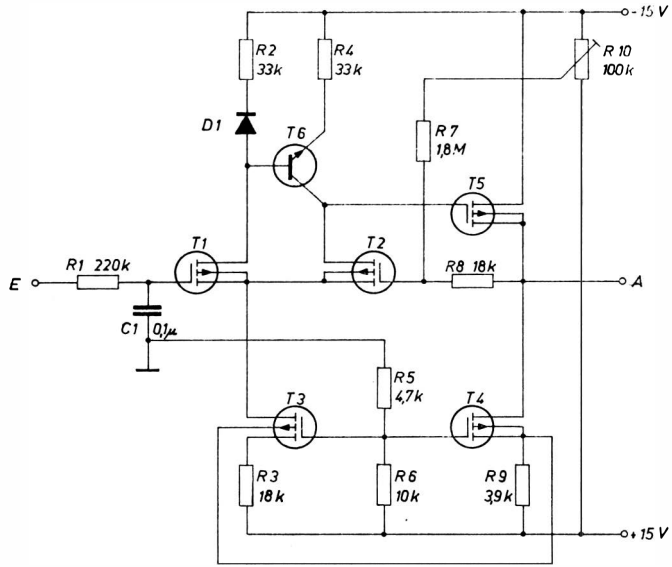


Bild 9.9 Gleichspannungsimpedanzwandler für Meßgeräte

kann dieser entsprechend der in Bild 9.9 gezeigten Methode erfolgen. Da sich beide MOSFET auf einem Substrat befinden, ist die Drift der Ausgangsspannung in Abhängigkeit von der Umgebungstemperatur gering. Je nach Übereinstimmung der Kenndaten der beiden MOSFET T1 und T2 kann man mit Werten in der Größenordnung von 20 µV/K bis 100 µV/K rechnen.

Für höhere Ansprüche eignet sich der Impedanzwandler in Bild 9.9. Diese Schaltung ist u. a. als Eingangsstufe analoger oder digitaler Voltmeter verwendbar. Die gegenüber der Schaltung in Bild 9.8 3 zusätzlichen Stromquellen sichern eine höhere Linearität der Verstärkung innerhalb des Arbeitsbereichs.

Als Differenzverstärker arbeiten die beiden Transistoren T1 und T2, deren Sourceströme die Stromquelle mit dem MOSFET T3 liefert. Als Lastwiderstand für T2 wirkt nicht wie in Bild 9.8 ein ohmscher Widerstand, sondern eine gesteuerte Stromquelle mit dem npn-Transistor T6. Bei einer Aussteuerung des Verstärkers bewegt sich das Spannungspotential am Drain von T1 gegenläufig gegenüber dem Potential am Drain von T2. Dadurch wird der von der Stromquelle mit T6 gelieferte Strom geringer, wenn der Drainstrom des Transistors T2 ansteigt. Umgekehrt steigt der Kollektorstrom von T6, wenn der Drainstrom des Transistors T2 sinkt. Diese Wirkungsweise erzeugt für T2 einen negativen Drainwiderstand, der für eine hohe Leerlaufverstärkung sorgt, wenn das Signal an der Drainelektrode des MOSFET T2 hochohmig abgenommen wird. Diese Aufgabe erfüllt der Sourcefolger mit dem Transistor T5, dessen Sourcewiderstand ebenfalls eine Stromquelle ist. Über den Widerstand R8 ist der beschriebene Verstärker vollständig gegengekoppelt. Mit dem Potentiometer R10 läßt sich der Nullpunkt korrigieren. Die eingetragenen Bauelementewerte erlauben einen maximalen Korrekturbereich von $\pm$ 150 mV. Es ist sinnvoll, für T1 und T2 einen ausgesuchten Dual-MOSFET zu benutzen, bei dem die Gatespannungen um maximal 50 mV bis 100 mV differieren, wenn die Drainströme jeweils 150 µA betragen. Nähere Hinweise

zu dem benutzten Schaltungsprinzip findet der Leser in [8]. Der Impedanzwandler verarbeitet Eingangsspannungen innerhalb des Bereichs von $\pm$ 3 V.

9.3. NF-Verstärker mit Gattern der MOS-Schaltkreise U 102 D, U 106 D und U 107 D

Die Übertragungskennlinien der MOS-Schaltkreise *U 102 D*, *U 106 D* und *U 107 D* zeichnen sich, wie man den Bildern 2.8, 2.9, 2.11, 2.12 und 2.13 entnimmt, durch eine hinreichende Linearität zwischen Ein- und Ausgangsspannung aus. Auf Grund dieser Eigenschaft und wegen der recht geringen Schwingneigung der genannten Gattertypen eignen sie sich als NF-Verstärker. Diese sind besonders für Anwendungen im industriellen Bereich vorteilhaft, weil dort meist keine hochwertige, d. h. extrem lineare, Verstärkung, notwendig ist. Regelverstärker und Anzeigeverstärker, die ihre Eingangssignale von Wechselspannungsmeßbrücken erhalten, sind typische Anwendungen. Bild 9.10 bis Bild 9.12 zeigen Beispiele für Wechselspannungsverstärker, die als aktive Eelemente MOS-Schaltkreise nutzen. Der Arbeitspunkt wird mit einer Gleichspannungsgegenkopplung vom Ausgang auf den Eingang des Verstärkers eingestellt. Notwendigerweise muß bei dieser Art der Arbeitspunkteinstellung die Phasendrehung des Signals vom Eingang bis zum Ausgang 180° betragen. Deshalb ist bei Verstärkern mit AND-Gattern zusätzlich ein NAND- oder NOR-Gatter erforderlich. Die Leerlaufspannungsverstärkung

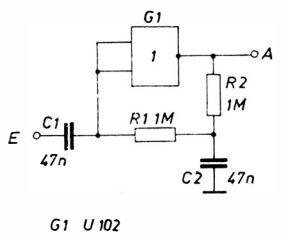


Bild 9.10
1stufiger NF-Verstärker mit NOR-Gatter

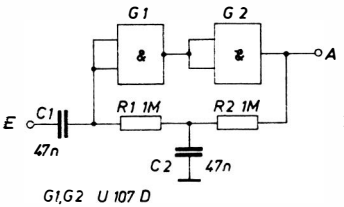


Bild 9.11
2stufiger NF-Verstärker mit einem AND- und einem NAND-Gatter

der Verstärker entspricht dem Produkt der einzelnen Gatterverstärkungen. Bei den Verstärkern in Bild 9.10 und Bild 9.11 wurden Verstärkungen von $v = 10$ und $v = 130$ gemessen. Soll die Spannungsverstärkung weitgehend unabhängig von den Datenstreuungen der Gatter sein, so ist dies durch das Einfügen einer Wechselspannungsgegenkopplung erreichbar. Bei dem Verstärker in Bild 9.12 wurde diese Möglichkeit genutzt. Die Bauelemente R_k und C_k kompensieren die Frequenz. Der Widerstand R_v (etwa 1 kΩ ... 5 kΩ) ist nicht immer erforderlich. R_v soll den manchmal zu niedrigen Ausgangswiderstand des Gatters G1 vergrößern, damit die zur Frequenzkompensation notwendige frequenzabhängige Spannungsteilung möglich ist. Die gemessene Spannungsverstärkung der Schaltung in Bild 9.12 betrug $v = 9{,}8$.

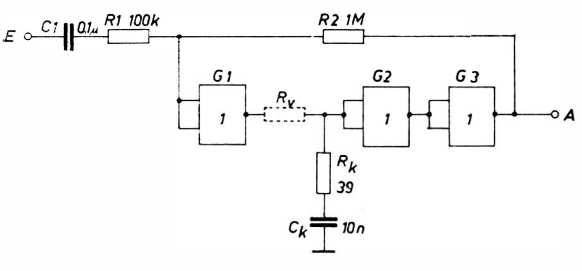


Bild 9.12 3stufiger NF-Verstärker mit Spannungsgegenkopplung

LEER

10. Literatur

[1] MOS-Schaltkreise, Information — Applikation; *Kombinat VEB Funkwerk Erfurt*

[2] MOS-Schaltkreise 1975/76; *Kombinat VEB Funkwerk Erfurt*

[3] Halbleiterinformationen; „radio fernsehen elektronik" 22 (1973), H. 14, H. 15, H. 17, H.19

[4] Schaltungsbeispiele für MOS-Bauelemente; *Kombinat VEB Funkwerk Erfurt*

[5] *Engler, P.:* Grundschaltungen mit MOS-Schaltkreisen; „radio fernsehen elektronik" 24 (1975), H. 15, S. 490 bis S. 492

[6] *Wagner, W.:* Anwendungsbeispiele für integrierte MOS-Schaltungen *U 101 D* bis *U 105 D*; „radio fernsehen elektronik" 23 (1974), H. 14, S. 452 bis S. 454 und S. 459 bis S. 461

[7] *Klein, R.:* Anwendungsmöglichkeiten der integrierten MOS-Schaltung *U 108 D*; „radio fernsehen elektronik" 24 (1975), H. 2, S. 44 bis S. 48

[8] *Kühne, H.:* Temperaturstabile Impedanzwandler mit hohem Eingangswiderstand; „radio fernsehen elektronik" 24 (1975), H. 10, S. 335 bis S. 338

[9] *Lessen, M.:* Eigenschaften und Anwendungen des binären Frequenzteilers *U 112 D*; „radio fernsehen elektronik" 25 (1976), H. 5, S. 161 bis S. 164

[10] *Engler, P.:* Zähldekaden mit *U 103 D* und *U 108 D*; „radio fernsehen elektronik" 25 (1976), H. 2, S. 44 und S. 45

[11] *Engler, P.:* Wechselspannungsverstärkung mit *U 102 D, U 106 D* und *U 107 D*; „radio fernsehen elektronik" 24 (1975), H. 14, S. 470 bis S. 472

1. Auflage, 1978, 1.–20. Tausend
Cheflektorat Militärliteratur
Lizenz-Nr. 5 · LSV: 3539
Lektor: Rainer Erlekampf
Zeichnungen: Hans-Georg Hauptvogel
Typografie: Helmut Herrmann · Hersteller: Michael Haase
Vorauskorrektor: Henry Martens · Korrektor: Gertraut Purfürst
Printed in the German Democratic Republic
Gesamtherstellung: Druckerei Märkische Volksstimme Potsdam
Redaktionsschluß: 20. 01. 1978
Bestellnummer: 746 010 0
DDR 1,90 M